

MOSFET

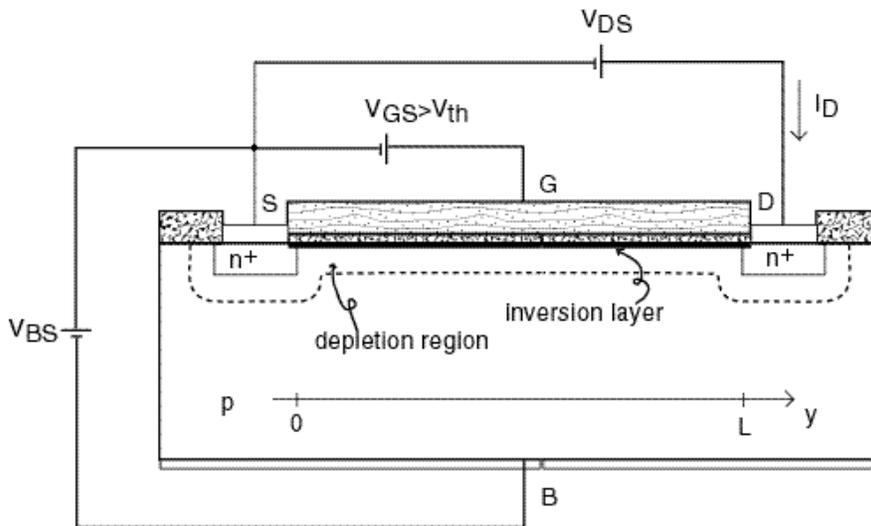
CARACTERISTIQUES (suite.)

Sommaire

1. Régime de (sur)saturation
2. Effet de substrat

1. Le régime de saturation

Géométrie 1D du fonctionnement



Hypothèse

$$: V_{BS} = 0 \Rightarrow V_{GS} = V_{GB}$$

Régimes de fonctionnement:

- **Bloqué:** $V_{GS} < V_T$
 - Pas de régime d'inversion sous la grille

$$I_D = 0$$

- **Linéaire:** $V_{GS} > V_T$ et $0 < V_{DS} < V_{GS} - V_T$:
 - Zone d'inversion sous la grille

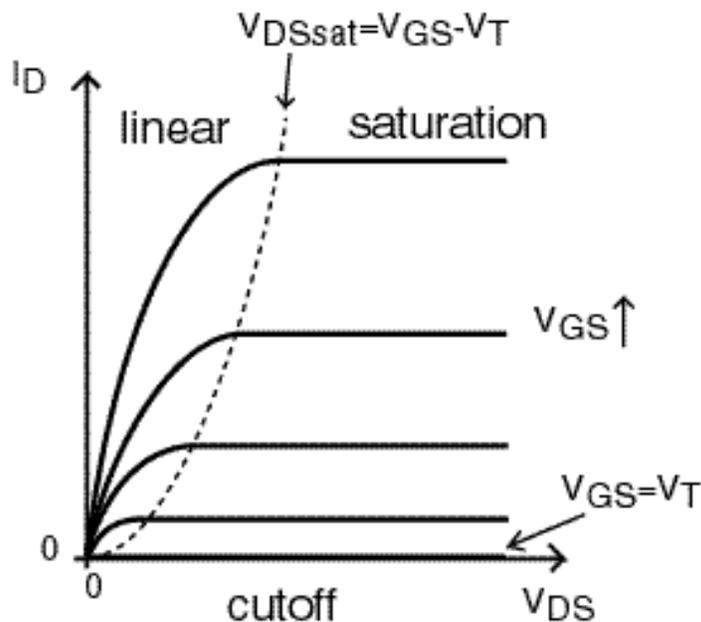
$$I_D = \frac{W}{L} \cdot \mu_n C_{ox} \left[V_{GS} - \frac{V_{DS}}{2} - V_T \right] \cdot V_{DS}$$

Le régime de saturation (suite.)

- **Saturation:** $V_{GS} > V_T$, et $V_{DS} > V_{GS} - V_T$:
 - Zone d'inversion avec “pincement” du canal au niveau du Drain

$$I_D = \frac{W}{2L} \cdot \mu_n C_{ox} [V_{GS} - V_T]^2$$

Caractéristiques de sortie:



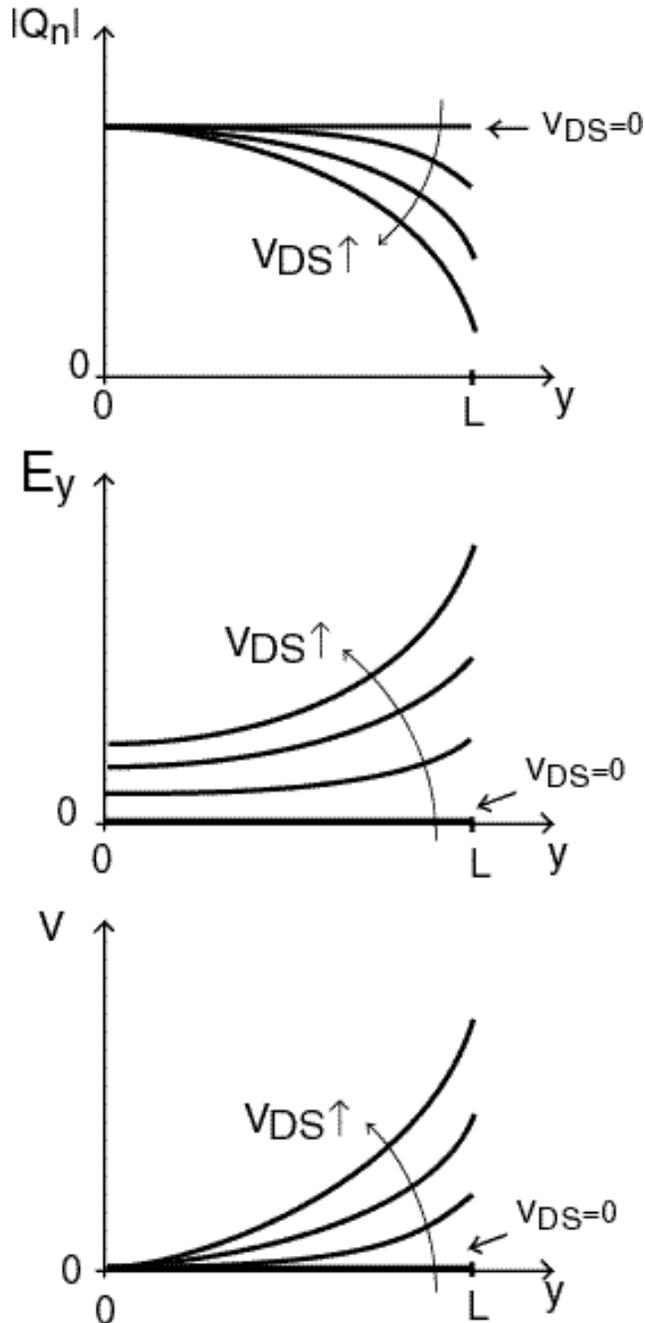
- **Dernier cours:** Les équations pour le calcul de I_D , on a pour $Q_n(y)$, la relation de "charges" au point y :

$$Q_n(y) = -C_{ox} [V_{GS} - V(y) - V_T]$$

Pour $V_{GS} - V(y) \geq V_T$. **Notons que les hypothèses sont (a) $V_{BS} = 0 \Rightarrow V_{GS} = V_{GB}$, et (b) V_T est indépendant y .**
Voir la discussion sur l'effet de substrat plus tard.

Le régime de saturation (suite..)

Evolution Q_n , E_y , et V en régime linéaire si V_{DS} augmente



Contribution "ohmique" du canal à l'opposé de la zone d'inversion
 \Rightarrow **courant de saturation.**

Le régime de saturation (suite.)

Que se passe-t-il pour $V_{DS} = V_{GS} - V_T$?

Relation de contrôle de charge au Drain:

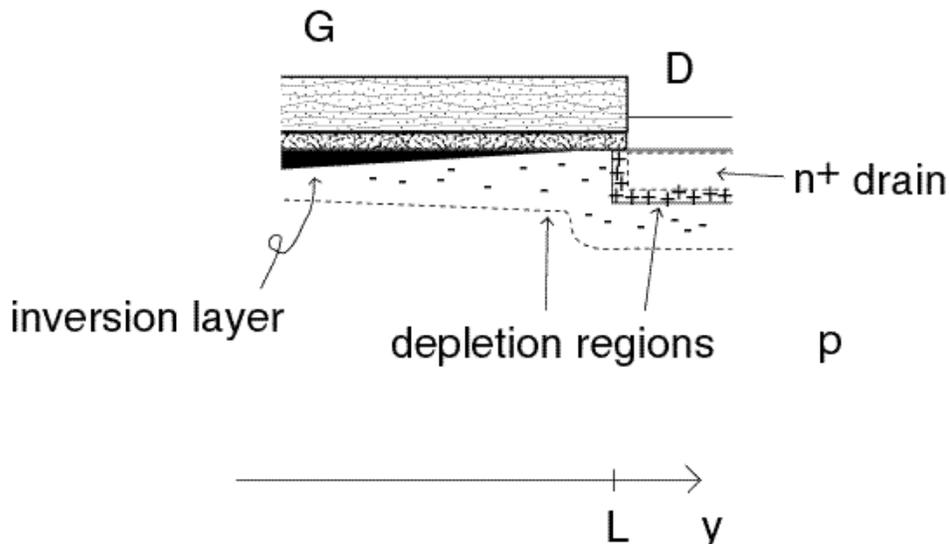
$$Q_n(L) = -C_{ox} [V_{GS} - V_{DS} - V_T] = 0$$

Pas de zone d'inversion à la fin du canal ???!!!

⇒ *Pincement.*

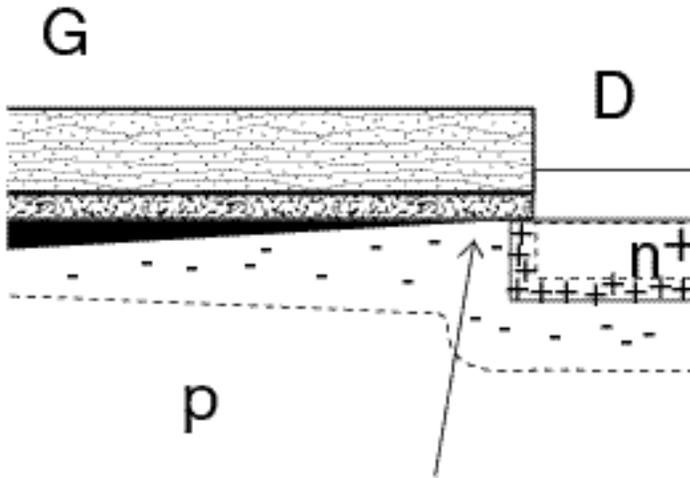
Pincement:

- Equation de contrôle de charge non valable (V_T)
- Concentration d'e- faible mais non nulle;
- Vitesse des e- élevée (champ électrique élevé);
- Composante électrostatique dominante
 - Charge des accepteurs
- Pas de barrière au mouvement des e- (**paradoxe!**).



Le régime de saturation (suite...)

Tension au point de pincement ($V=0$ à la source):



$$V(L) = V_{DSsat} = V_{GS} - V_T$$

Courant de Drain au pincement :

$$\text{Champ élec. latéral} \propto V_{DSsat} = V_{GS} - V_T$$

$$\text{Concentration des } e^- \propto V_{GS} - V_T$$

$$\Rightarrow I_{DSsat} \propto [V_{GS} - V_T]^2$$

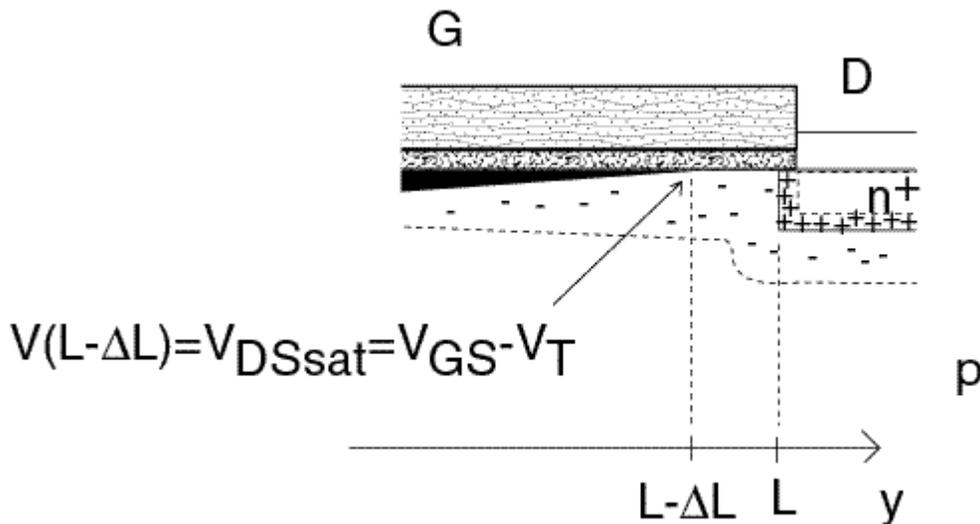
Et si $L \downarrow \Rightarrow E_y \uparrow$:

$$I_{Dsatsat} \propto \frac{1}{L}$$

Le régime de saturation (suite.)

Fonctionnement $V_{DS} > V_{GS} - V_T$

Zone de déplétion entre pincement et Drain augmente



Au premier ordre I_D n'augmente pas après pincement

$$I_D = I_{DSsat} \propto \frac{W}{2L} \cdot \mu_n C_{ox} \cdot [V_{GS} - V_T]^2$$

Au deuxième ordre, la longueur électrique du canal est modifiée:
 $L \downarrow \Rightarrow I_D \uparrow$:

$$I_D \propto \frac{1}{L - \Delta L} \approx \frac{1}{L} \left[1 + \frac{\Delta L}{L} \right]$$

Le régime de saturation (suite.)

Résultats expérimentaux:

$$\frac{\Delta I_D}{I_D} = \lambda V_{DS}$$

avec

$$\lambda \propto \frac{1}{L}$$

Typiquement

$$\lambda = \frac{0.1 \mu m \cdot V^{-1}}{L}$$

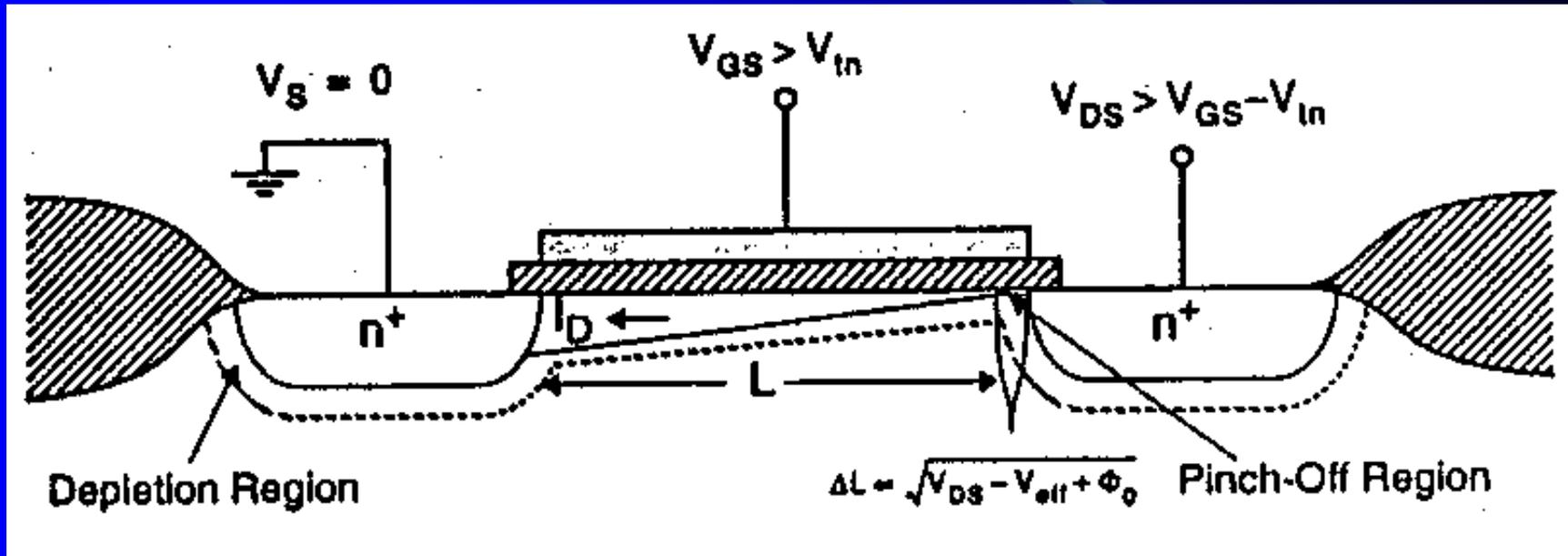
Si $L = 1 \mu m$, augmentation de 1V au dessus de V_{DSsat} donne $I_D + 10\%$.

Modèle amélioré pour le courant de Drain (saturation)

$$I_D = \frac{W}{2L} \cdot \mu_n C_{ox} (V_{GS} - V_T)^2 [1 + \lambda V_{DS}]$$

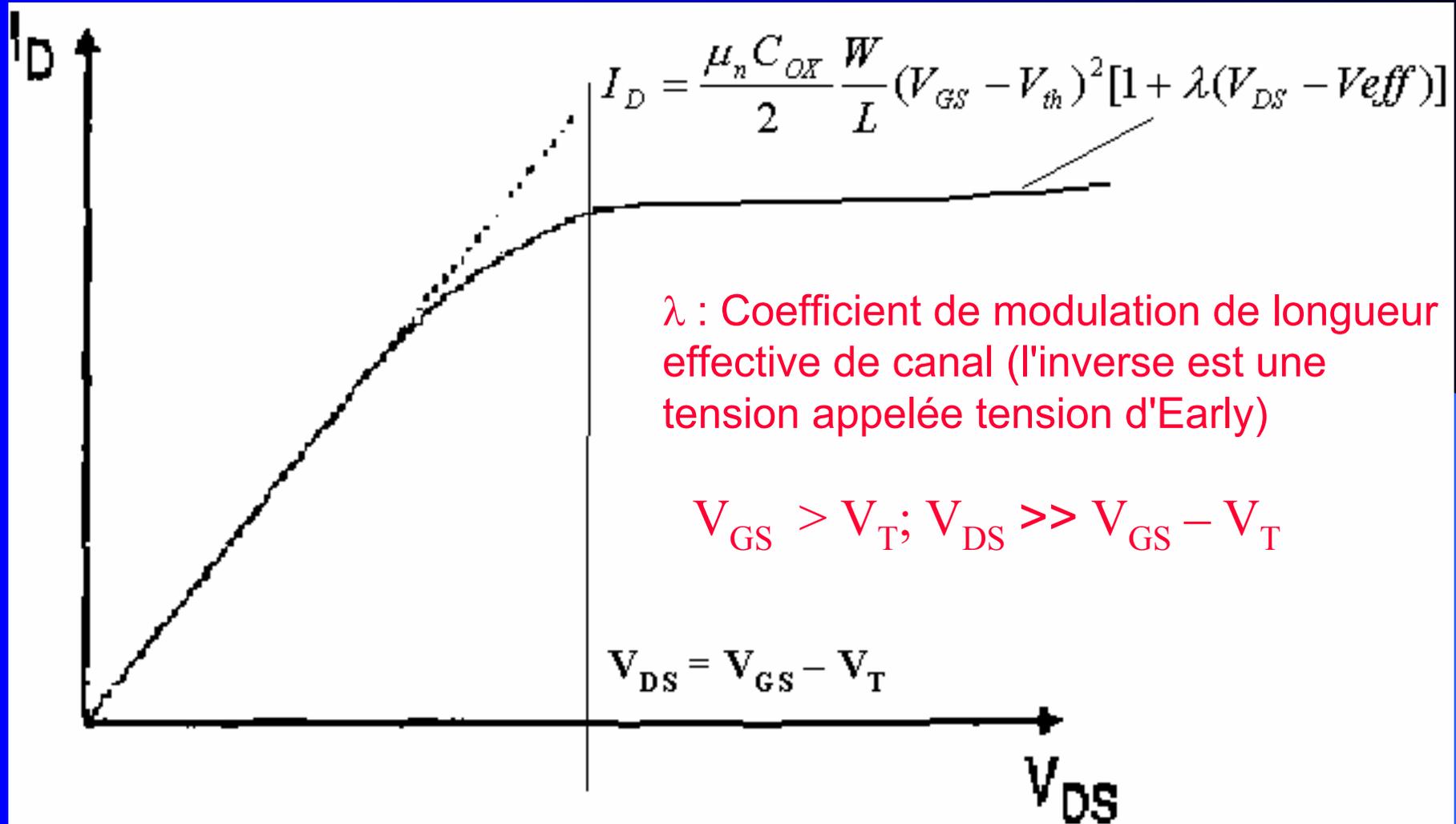
Fonctionnement : MOS conducteur (Régime de forte saturation)

$$V_{GS} > V_T; V_D > V_S; V_{DS} \gg V_{GS} - V_T = V_{DSsat}$$

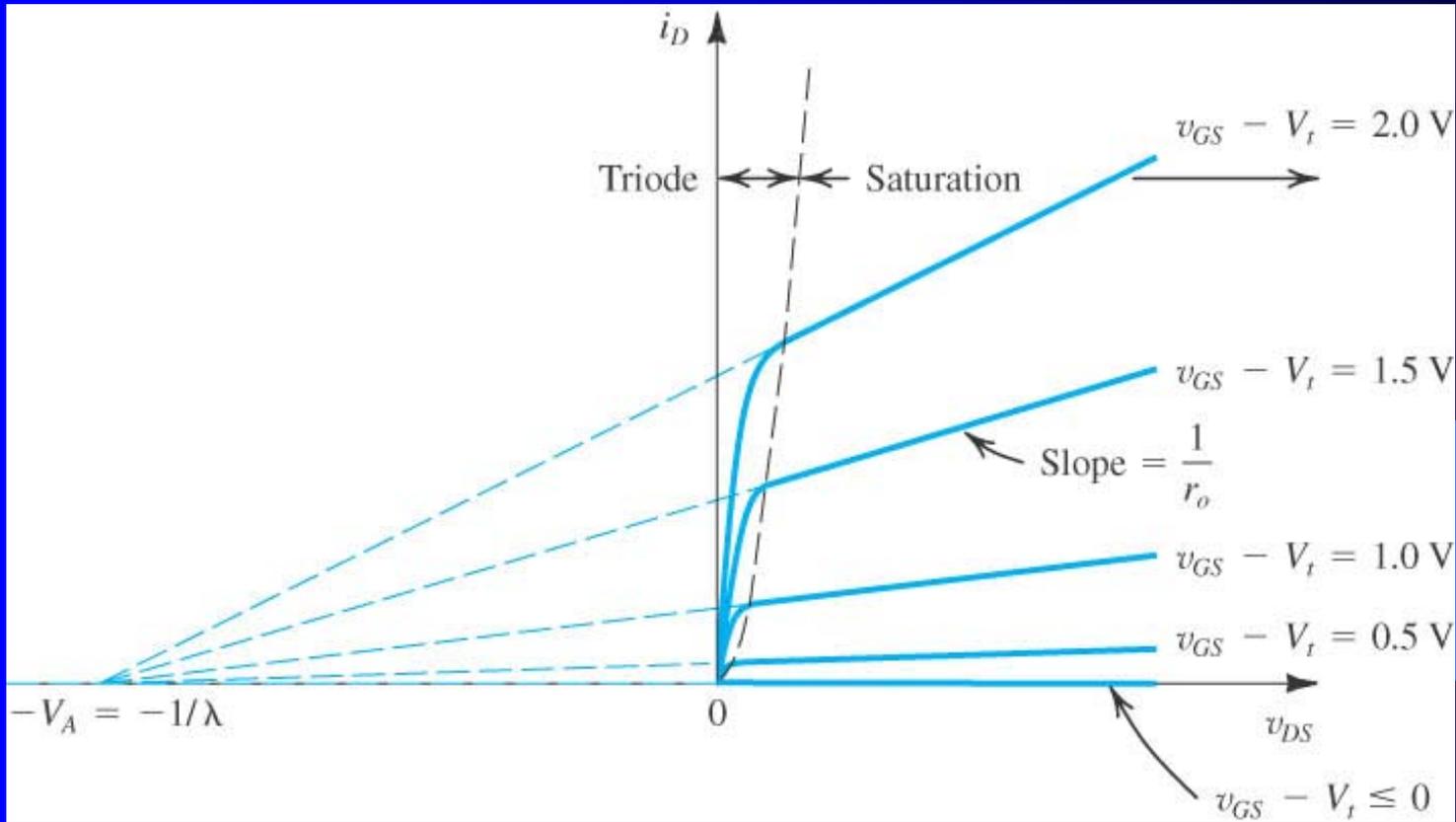


- Lorsque le canal est pincé, la longueur effective du canal diminue.
- La valeur du courant I_D est **modulée** par V_{DS} .
- La vitesse des porteurs n'augmente plus de manière linéaire avec le champ électrique (Saturation de la mobilité des porteurs).

Fonctionnement : MOS conducteur (Régime de forte saturation)



Effet « Early »



- Effet de v_{DS} sur i_D en saturation. Le paramètre V_A dépend du process technologique et dépend de la longueur L . Il s'exprime aussi sous la forme $V_A = V_A' \cdot L$. V_A' est dépendant du process et a la dimension $V/\mu\text{m}$ (entre 5 et 50 typiquement).

- L'équation $I_D = \frac{\mu_n C_{OX}}{2} \frac{W}{L} (V_{GS} - V_{th})^2 (1 + \lambda V_{DS})$ indique que quand on

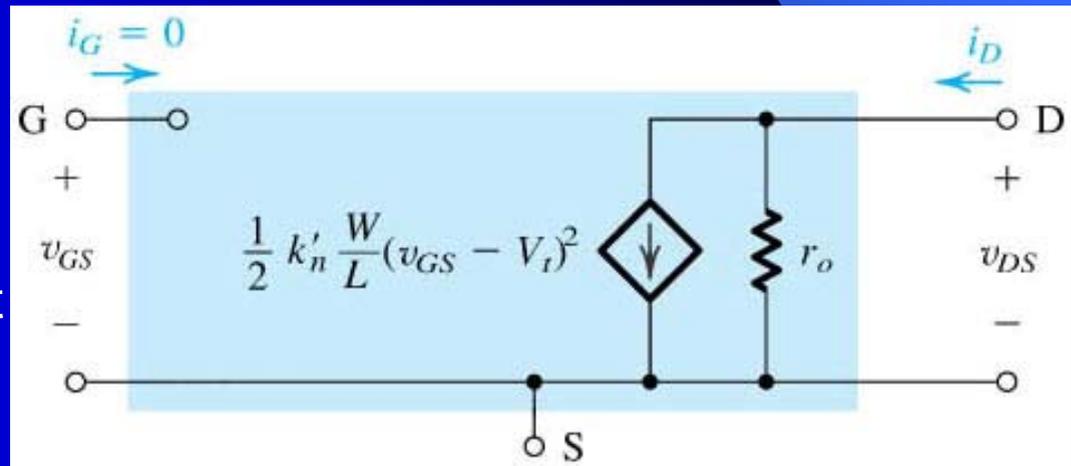
- prend en compte la modulation le courant de saturation dépend de VDS. La résistance de sortie de la source de courant représentant I_D n'est pas infinie. Si l'on définit cette résistance comme

$$r_0 \equiv \left[\frac{\partial I_D}{\partial V_{DS}} \right]_{V_{GS}=\text{constante}}^{-1} = \left[\lambda \frac{K_n}{2} \frac{W}{L} (V_{GS} - V_t)^2 \right]^{-1}$$

- On peut écrire $r_0 = \frac{1}{\lambda I_D} = \frac{V_A}{I_D}$ où I_D est le courant de Drain sans modulation

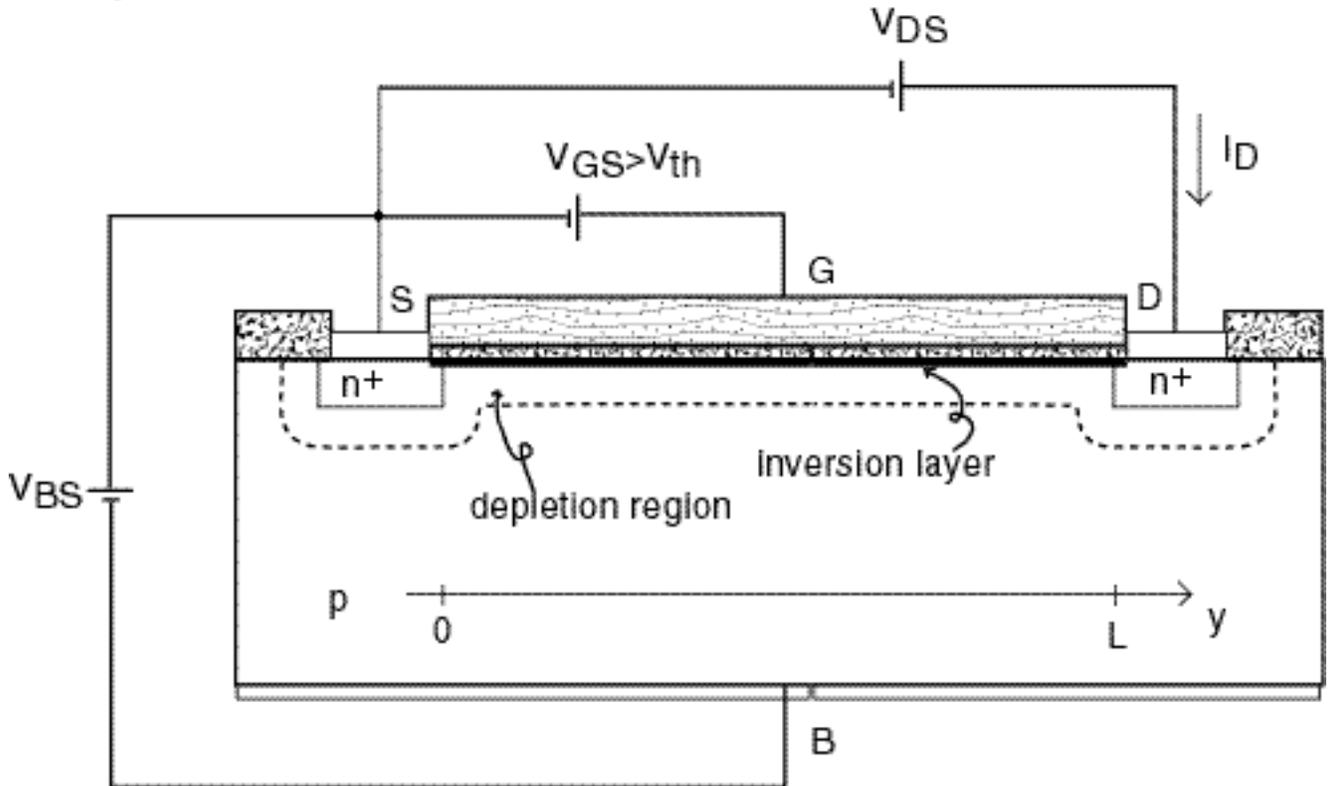
- de la largeur de canal

• Ceci permet de donner le circuit équivalent « Grands signaux » pour le MOSFET en saturation



2. Effet de substrat

Quatrième terminal du MOSFET: B "*body*" "*bulk*".
A quoi sert-il?



Hypothèse (jusqu'à présent) $V_{BS} = 0 \Rightarrow V_{GS} = V_{GB}$

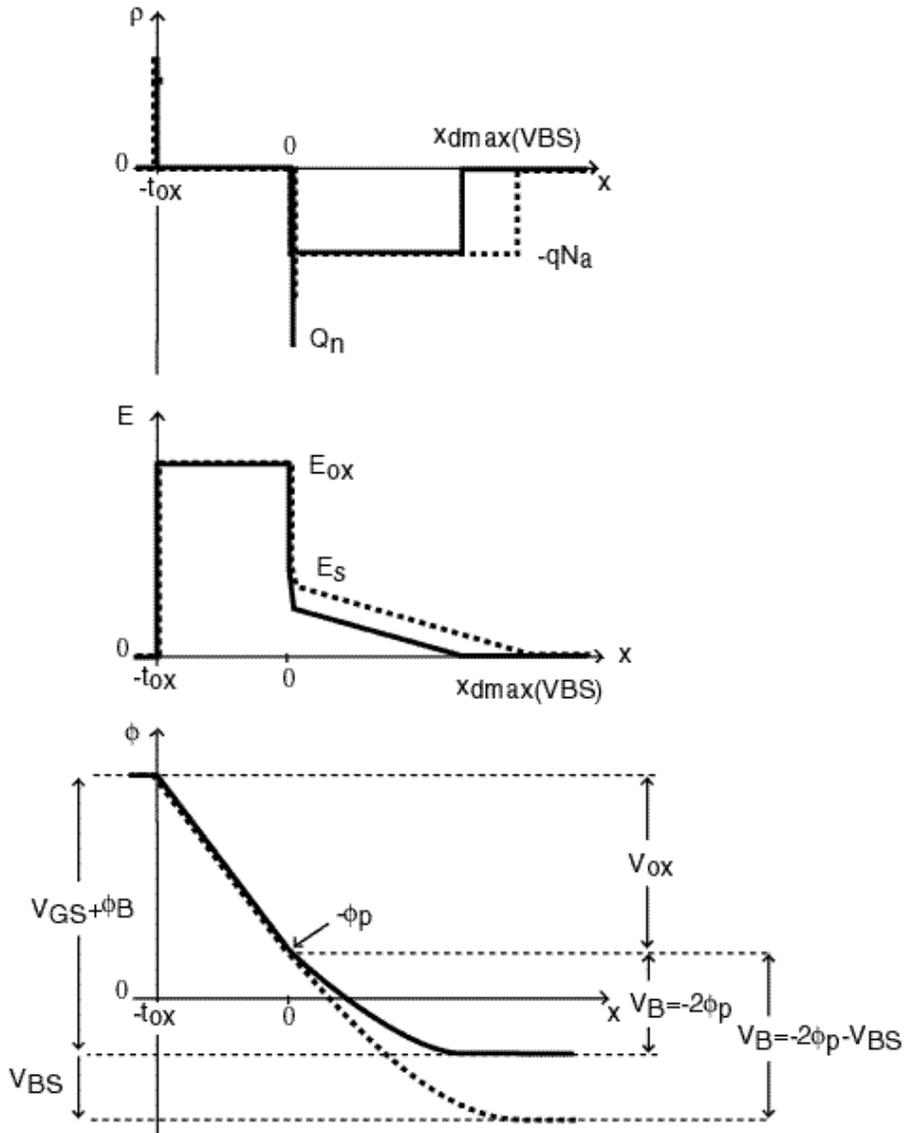
- Contact B permet application d'une tension entre substrat et zone d'inversion , V_{BS} .
- Intéressant pour $V_{BS} < 0$ (jonction pn en inverse).
- Cela a des conséquences sur la zone d'inversion
 \Rightarrow Voyons pour $V_{GS} > V_T$ (constant)

Effet de substrat (suite.)

La tension $V_{BS} < 0$ augmente la barrière de potentiel dans le semiconducteur:

$$-2\phi_p \Rightarrow -2\phi_p - V_{BS}$$

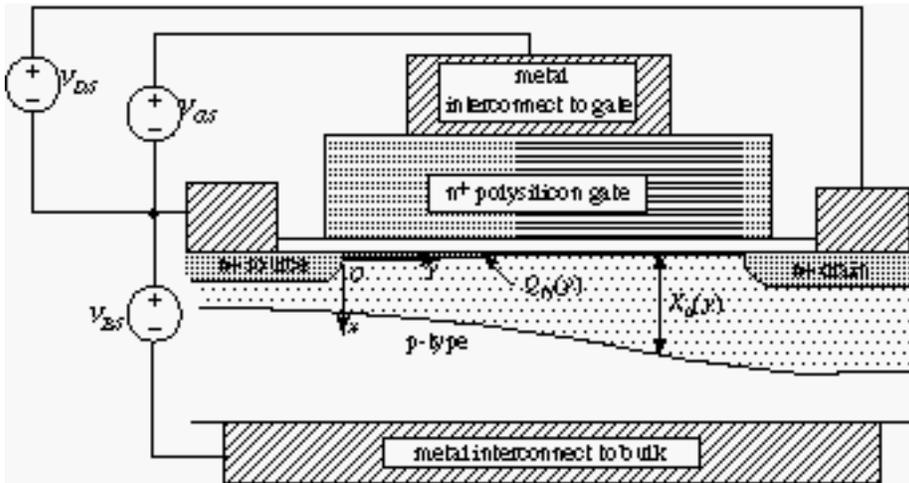
La zone de déplétion coté *source* doit augmenter pour produire le champ électrique nécessaire:



Effet de substrat (suite.)

Conséquences de l'application $V_{BS} < 0$:

- $-2\phi_p \Rightarrow -2\phi_p - V_{BS}$
- $|Q_B| \uparrow \Rightarrow x_{dmax} \uparrow$
- Avec V_{GS} constant, V_{ox} inchangé
 - $\Rightarrow E_{ox}$ inchangé
 - $\Rightarrow |Q_S| = |Q_G|$ inchangé
- $|Q_S| = |Q_n| + |Q_B|$ inchangé mais $|Q_B| \uparrow \Rightarrow |Q_n| \downarrow$
 - \Rightarrow charge de la zone d'inversion diminue



Pour la même tension Grille-Source V_{GS} ,
 Une tension $V_{BS} < 0$ réduit la densité des électrons
 dans la zone d'inversion, et donc $V_T \uparrow$

Effet de substrat (Suite.)

Variation de V_T en fonction de V_{BS} ?

Pour V_T la formule change de $-2\phi_p$ en $-2\phi_p - V_{BS}$:

$$V_T^{GB}(V_{BS}) = V_{FB} - 2\phi_p - V_{BS} + \frac{1}{C_{ox}} \sqrt{2\varepsilon_s q N_a (-2\phi_p - V_{BS})}$$

Pour le MOSFET, on s'intéresse à V_T entre *grille* et *source*

$$V_{GB} = V_{GS} - V_{BS} \Rightarrow V_T^{GB} = V_T^{GS} - V_{BS}$$

Ainsi :

$$V_T^{GS} = V_T^{GB} + V_{BS}$$

et :

$$V_T^{GS}(V_{BS}) = V_{FB} - 2\phi_p + \frac{1}{C_{ox}} \sqrt{2\varepsilon_s q N_a (-2\phi_p - V_{BS})} \equiv V_T(V_{BS})$$

Dans le contexte du MOSFET, V_T est toujours défini en termes de tension *grille-source*

Effet de substrat (suite.)

$$V_T(V_{BS}) = V_{FB} - 2\phi_p + \frac{1}{C_{ox}} \sqrt{2\varepsilon_s q N_a (-2\phi_p - V_{BS})}$$

On définit le *coefficient d'effet de substrat* [unité: $V^{-1/2}$]:

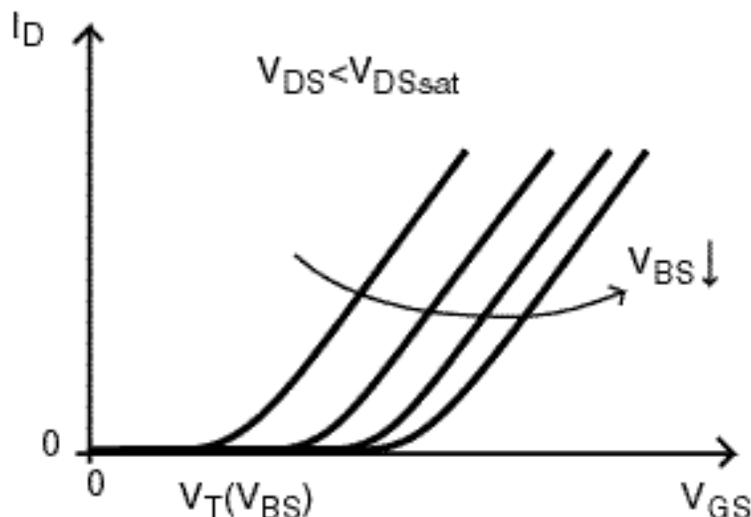
$$\gamma = \frac{1}{C_{ox}} \sqrt{2\varepsilon_s q N_a}$$

et :

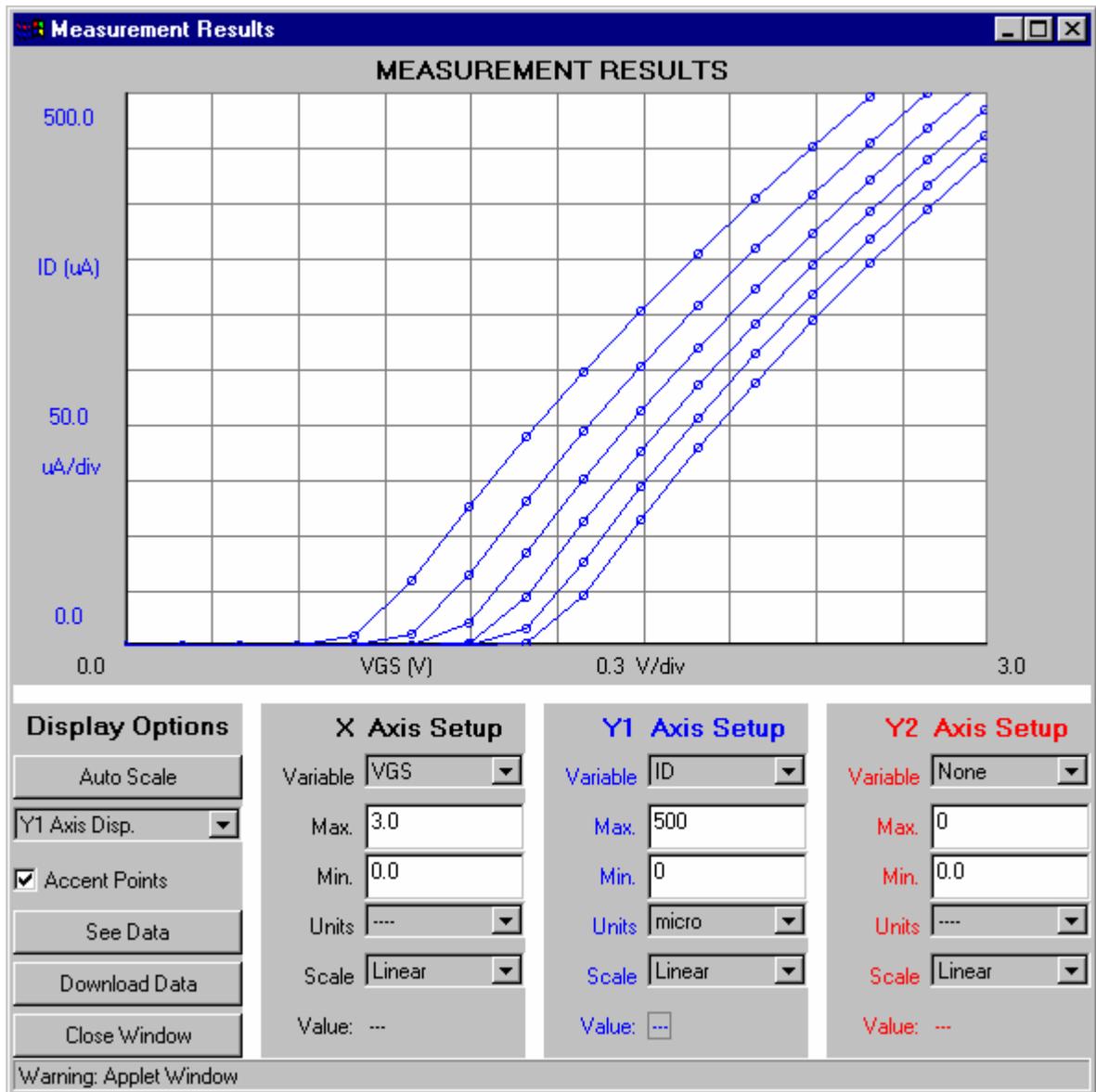
$$V_{T0} = V_T(V_{BS} = 0)$$

Ainsi :

$$V_T(V_{BS}) = V_{T0} + \gamma \left[\sqrt{-2\phi_p - V_{BS}} - \sqrt{-2\phi_p} \right]$$



Effet de substrat (suite.)



Zone triode $V_{DS} \sim 0.1V$

Facteur correctif (Spice)

On introduit le facteur de correction n (techno submicronique)

$$n = 1 + \frac{\gamma}{2\sqrt{\phi - V_{BS}}}$$

γ = (GAMMA) "Bulk Treshold parameter" ($V^{1/2}$)

ϕ = (PHI) "Surface potential" (V) ($2\phi_F$)

Corrections (V_{dsat} , I_{ds} , I_{dsat})

$$V_{DSsat} = \frac{V_{GS} - V_{th}}{n}$$

$$i_{DS} = \beta \left(V_{GS} - V_{th} - \frac{n}{2} V_{DS} \right) \cdot V_{DS}$$

$$i_{DSsat} = \frac{\beta}{2n} (V_{GS} - V_{th})^2$$

Attention aux corrections même si $V_{bs}=0$!!!!!

Différents niveaux de simulation

Le « hand calculation » peut devenir difficile

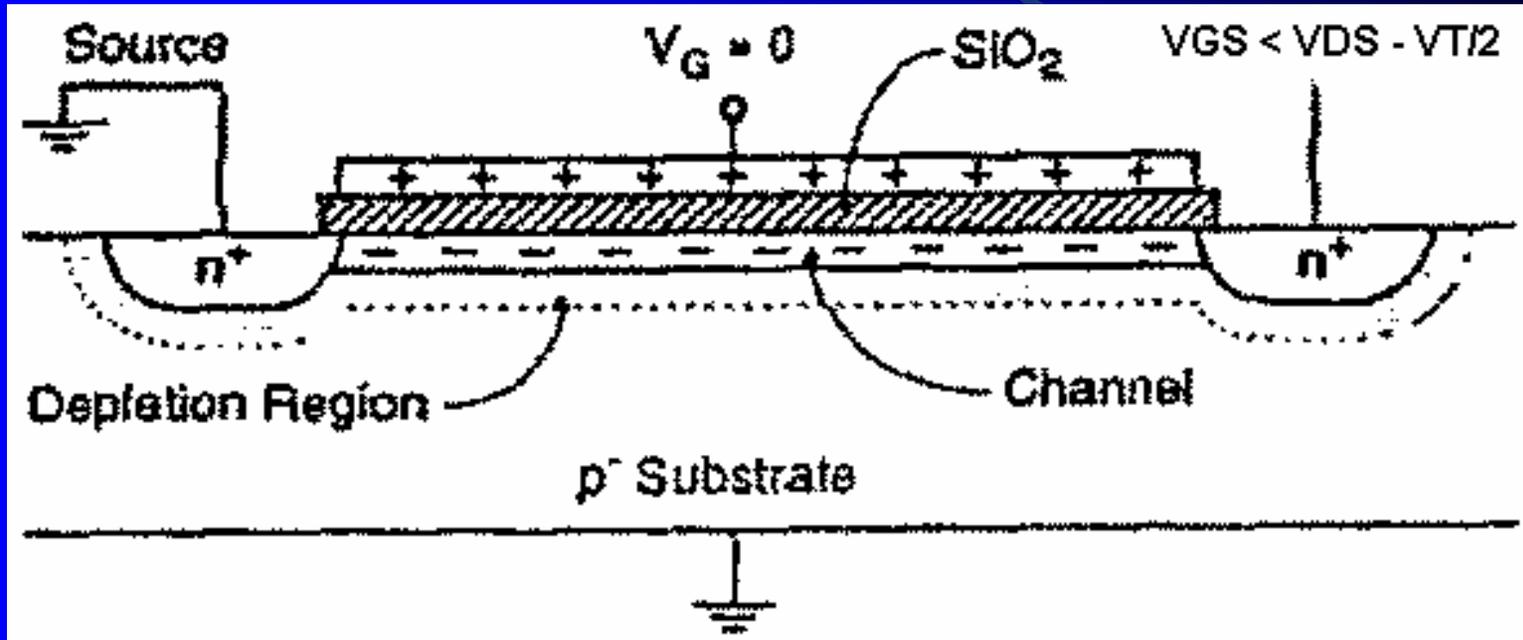
A-t-on appris quelque chose?

Résumé de ces effets

- MOSFET en saturation ($V_{DS} \geq V_{DSsat}$): *pincement* (point à la fin du canal source drain)
 - Faible concentration d'e-, mais
 - electrons très très rapide;
 - le point de pincement n'est pas une barrière au déplacement des e-
- I_{Dsat} augmente légèrement en saturation à cause *modulation de largeur de canal ("early like")*
- Substrat polarisé modifie le V_T du MOSFET

Fonctionnement : MOS conducteur (Régime de faible inversion)

$$V_T/2 < V_{GS} < V_T; V_D > V_S; V_{DS} < V_{GS} - V_T$$



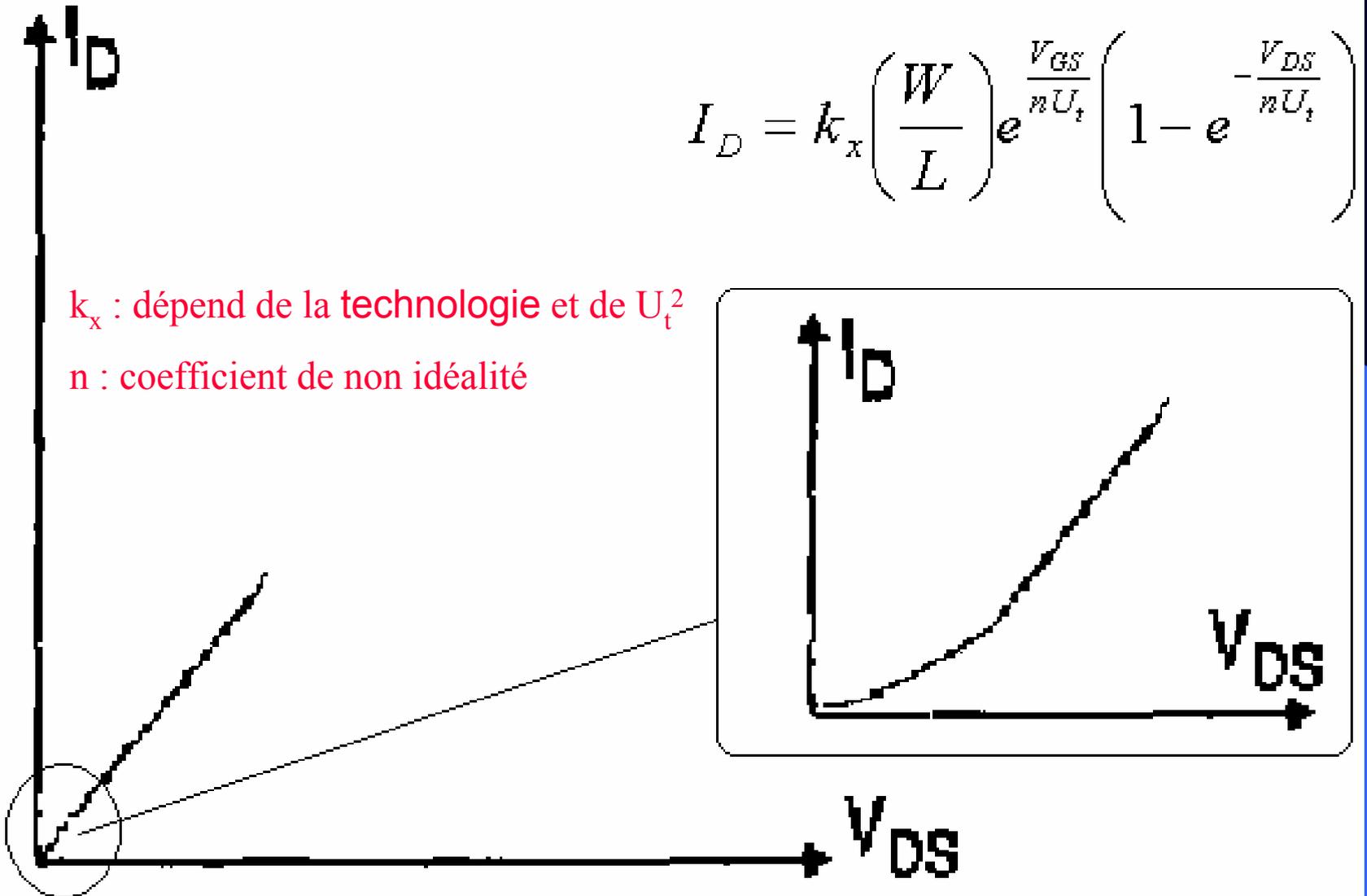
- Les trous, mobiles et majoritaires, sont repoussés loin de la surface. Il se crée alors une zone de charge d'espace (ZCE) due aux ions accepteurs, fixes, au voisinage de la surface.
- Pour $V_{th}/2 < V_g < V_{th}$, le canal n n'est pas complètement formé mais un courant très faible peut circuler entre le Drain et la Source, c'est le régime de faible inversion.
- Le transistor MOS se comporte comme un transistor bipolaire.

Fonctionnement : MOS conducteur (Régime de faible inversion)

$$I_D = k_x \left(\frac{W}{L} \right) e^{\frac{V_{GS}}{nU_t}} \left(1 - e^{-\frac{V_{DS}}{nU_t}} \right)$$

k_x : dépend de la technologie et de U_t^2

n : coefficient de non idéalité



Le coefficient d'inversion

Le coefficient d'inversion IC permet de connaître le régime de fonctionnement du transistor.

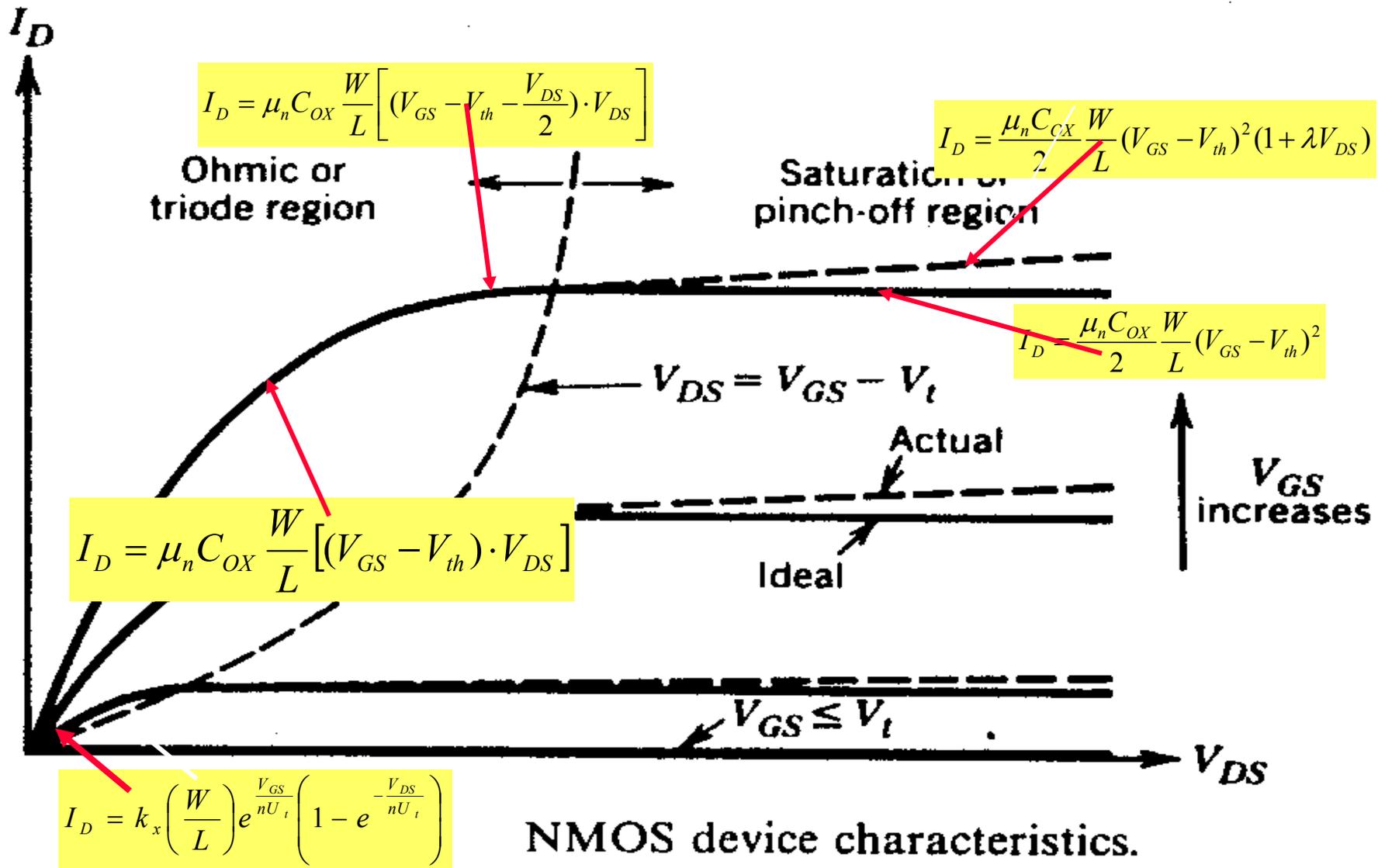
$$IC = \frac{I_D}{2K' \frac{W}{L} U_T^2}$$

- Si $IC \gg 1$ alors régime de forte inversion
- Si $IC = 1$ alors régime de moyenne inversion
- Si $IC \ll 1$ alors régime de faible inversion)

Applications de la faible inversion :

- faible consommation
- faibles tensions
- Hautes fréquences

Récapitulation



MOS et Spice

SPICE dispose de quatre modèles de transistors MOS :

- 1) modèle de niveau 1 ($LEVEL = 1$) : de type Shichman et Hodges quadratique, c'est le modèle par défaut
- 2) modèle de niveau 2 ($LEVEL = 2$) : c'est un modèle analytique qui prend en compte des effets de second ordre et de petite taille
- 3) modèle de niveau 3 ($LEVEL = 3$) : modèle semi-empirique particulièrement destiné aux MOS de très petite taille.
- 4) modèle de niveau 4 ($LEVEL = 4$) : lié aux paramètres du processus de fabrication.

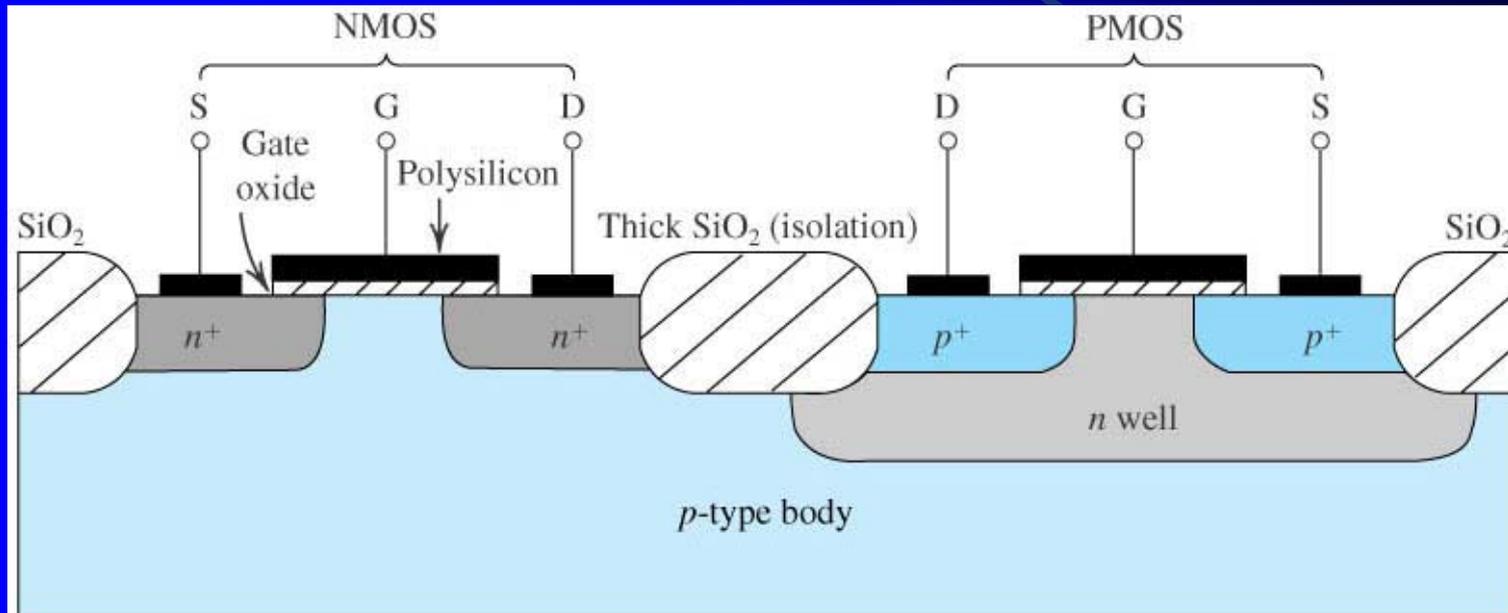
Modélisation du transistor MOS Le PMOS

MOSFET canal P

- Fabriqué sur substrat n avec régions p+ pour le Drain et la Source
- Charges « actives » : « trous »
- Fonctionnement identique au N-mos avec :
 - V_{GS}, V_{DS}, V_t sont négatifs
- Le courant I_D est entrant dans la source et sortant au Drain (donc I_{DS} est négatif).
- La technologie PMOS était autrefois dominante, mais NMOS (plus petits, plus rapides, plus faible tension d'alimentation) a virtuellement remplacé PMOS. Cependant les PMOS sont utilisés conjointement avec les NMOS pour les technologies CMOS (MOS complémentaires, technologie dominante) et BiCMOS (Bipolaire - CMOS).

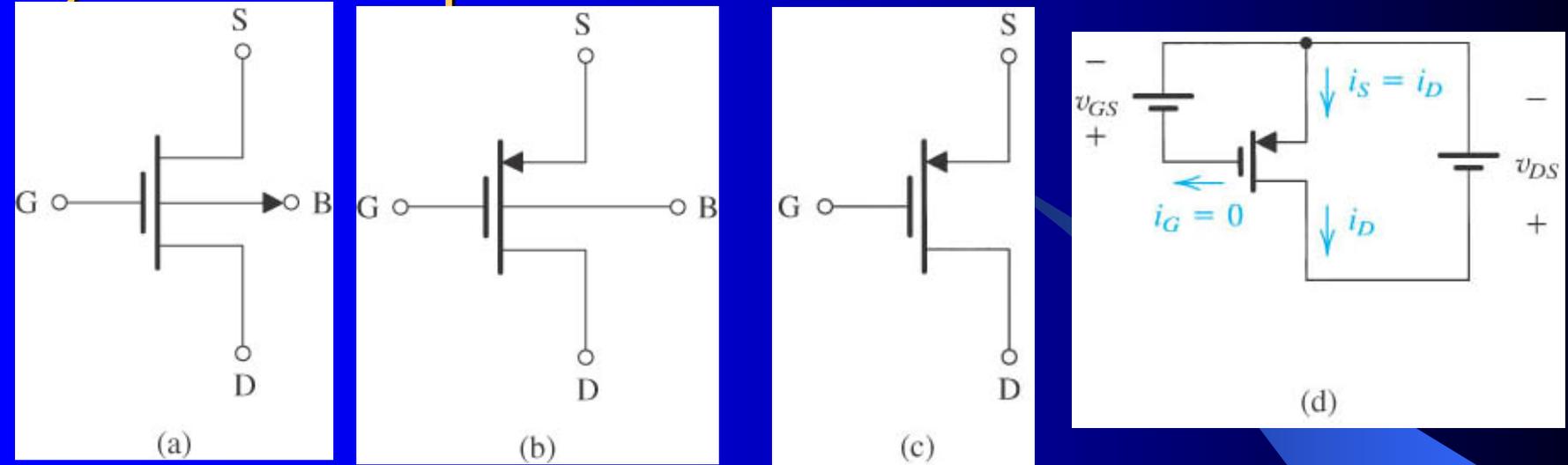
MOS complémentaires (Technologie CMOS)

- Plus difficile à fabriquer. Voir la figure montrant un PMOS et un NMOS fabriqués en technologie substrat de type P.



Coupe d'un circuit CMOS. Il faut noter que le transistor PMOS est fabriqué dans une région séparée appelée le caisson N. Une autre solution est possible dans laquelle un substrat de type N est utilisé et le transistor NMOS est fabriqué dans un caisson P (P-well). Les connexions au substrat de type au caisson ne sont pas montrées, on verra plus tard qu'elles jouent un rôle relativement important.

Symboles et polarisation



(a) Symbole générique pour le PMOS (enrichissement)

(b) Symbole modifié avec flèche sur la source (sens du courant entrant)

(c) Symbole simplifié quand la source est connectée au "Body" du transistor.

(d) Le PMOSFET avec les tensions appliquées et le sens (positif) des courants. Notez que V_{GS} et V_{DS} sont négatifs et que i_D sort positif du Drain.

Pour qu'il y ait création du canal P, il faut que v_{GS} soit plus négatif que V_t .

$V_{GS} \leq V_t$. Ce qui peut s'écrire aussi $V_{SG} \geq |V_t|$ et appliquer une tension V_{DS} négative soit V_{SD} positive

- Pour fonctionner en mode triode, la relation suivante doit être satisfaite :
 - $V_{DS} \geq V_{GS} - V_t$, soit la tension de Drain doit être supérieure à la tension de grille d'au moins $|V_t|$. Le courant I_D est donné par la même équation que pour le NMOS excepté que l'on remplace μ_n par

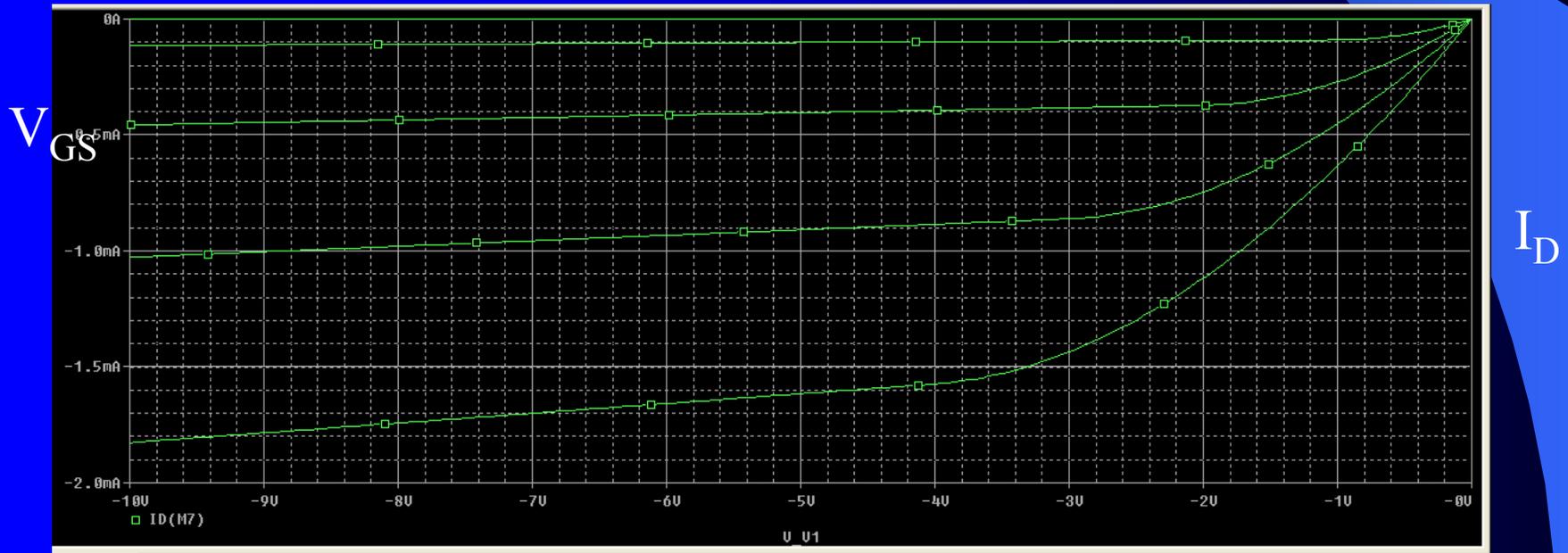
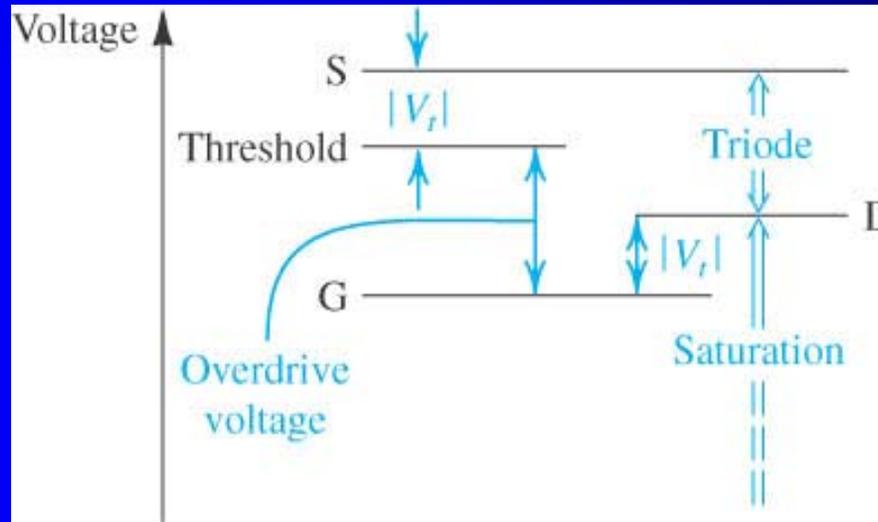
$$I_D = \mu_p C_{OX} \frac{W}{L} \left[(V_{GS} - V_t) \cdot V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

- On a V_{DS} , V_{GS} et V_t qui sont négatifs et μ_p vaut entre $0,25 \mu_n$ et $0,5 \mu_n$
- Pour fonctionner en mode saturation, V_{DS} doit satisfaire à la relation $V_{DS} \leq V_{GS} - V_t$ (soit la tension de Drain inférieure à $V_{GS} + |V_t|$, Le courant I_D est donné par la même équation que pour le NMOS (μ_p au lieu de μ_n

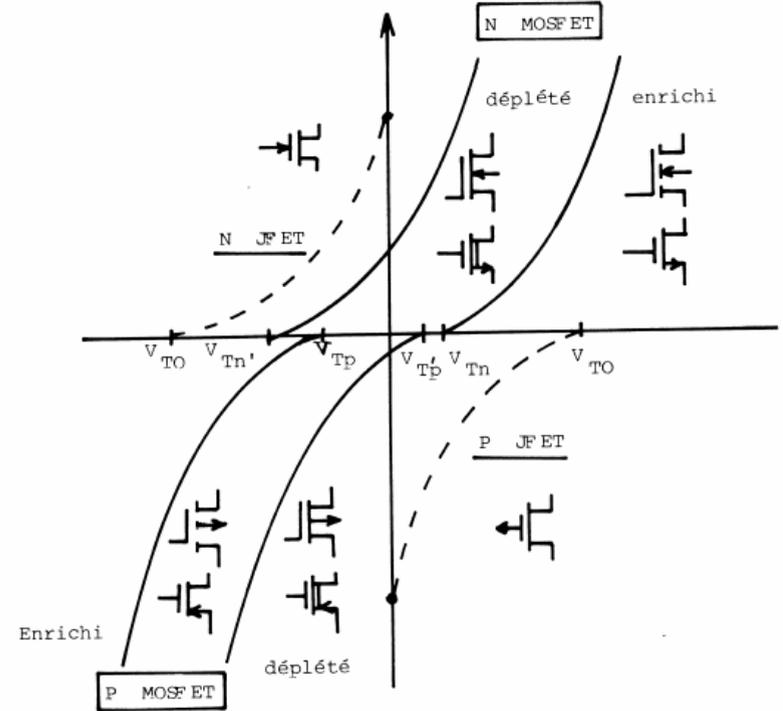
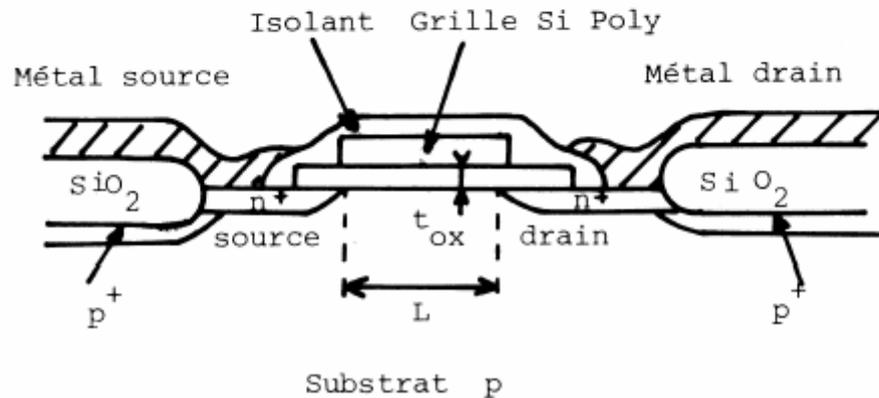
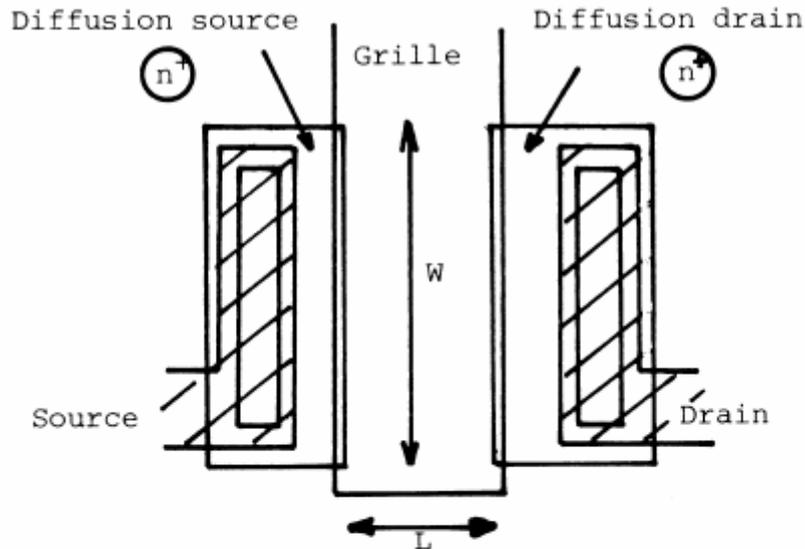
$$I_D = \frac{\mu_p C_{OX}}{2} \frac{W}{L} (V_{GS} - V_{th})^2 (1 + \lambda V_{DS})$$

- Avec V_{DS} , V_{GS} , V_t et λ tous négatifs.

- La figure suivante donne les conditions de fonctionnement du PMOS



Géométrie, caractéristiques, symboles



Effet capacitif de la grille. La capacité par unité de surface est :

$$C_{OX} = \frac{\epsilon_{OX}}{t_{OX}}$$

ϵ_{OX} = Permittivité diélectrique de l'oxyde de silicium isolant la grille ($34,5306 \cdot 10^{-12}$ F/m)

t_{OX} = épaisseur de l'isolant (m)

Par ex : $34,5306 \cdot 10^{-12} / 20 \cdot 10^{-9} = 17,3 \cdot 10^{-4}$ pF/ μm^2 (F/m²)

Sa surface est donnée par le produit $W \times L$, de la largeur par la longueur

Les paramètres SPICE dépendent du niveau (LEVEL)

Niveaux 1, 2 et 3 : VTO, tension de seuil (V)

KP, transconductance (A/V²) (KP=UO * COX)

UO = mobilité (en cm²/V.s)

LAMBDA, modulation largeur de canal (V⁻¹)

PHI potentiel de surface (V)

GAMMA, paramètre de seuil substrat (V^{1/2})

+ CGSO, CGDO, CGBO, CJSW, W et L

Exemples de modèle (CMOS 0,8u)

```
.model N1 NMOS LEVEL=1 ( VTO=0.8 UO=600.00  
+TOX=20.00E-09 GAMMA=0.7 PHI=0.7 CGSO=100.0p  
+ CGDO=100.0p CGBO=60.0p CJSW=240.0p)
```

Le KP équivalent est $KP = UO * COX = 0,06 * 17,3 \cdot 10^{-4}$
 $= 103,6 \cdot 10^{-6} \text{ A/V}^2$

```
.model P1 PMOS Level=1 VTO=-0.8 UO=200.00 TOX=20.00E-9  
+ GAMMA=0.450 PHI=0.700 CGSO=100p CGDO=100p  
+ CGBO=60.0p CJSW=240.0p
```

Le KN équivalent est $34,533 \cdot 10^{-6} \text{ A/V}^2$

Exercices

1) Soit un procédé tel que $L_{\min}=0,4 \mu\text{m}$; $t_{\text{ox}}=8 \text{ nm}$; $\mu_n=450 \text{ cm}^2/\text{V.s}$; $V_t=0,7\text{V}$

- a) Donnez C_{ox} et K_n
- b) Pour un transistor $W/L=8\mu\text{m}/0,8 \mu\text{m}$; donnez les valeurs de V_{gs} et V_{ds} permettant de fonctionner en saturation avec $I_d=100 \mu\text{A}$
- c) Pour le même transistor, trouvez la valeur de V_{gs} permettant de fonctionner comme une résistance de 1000Ω pour V_{ds} faible

2) Pour un procédé $0,8 \mu\text{m}$; $t_{\text{ox}}=15\text{nm}$; $\mu_n=550 \text{ cm}^2/\text{V.s}$

Donnez C_{ox} , K_n et $V_{\text{gs}}-V_t$ (V_{0v}) requis pour voir un transistor à $W/L=20$ fonctionnant en saturation avec $I_d=0,2\text{mA}$.
Donnez la valeur minimale de V_{ds} nécessaire

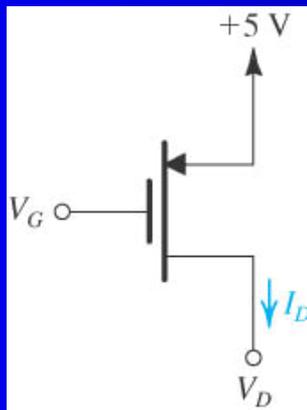
Exercices (suite)

- 3) Rappeler l'expression à utiliser pour r_{ds} en fonction de V_{ov} ($V_{gs}-V_t$) pour V_{ds} faible. Calculez r_{ds} pour un transistor à $W/L=10$; $K_n=100 \mu A/V^2$ et $V_{ov}=0,5V$
- 4) Un NMOS ($V_t=0,7V$) a S connectée à la masse (GND) et $V_{gs}=1,5 V$. Quelle est la zone de fonctionnement du transistor pour a) $V_d=+0,5V$ b) $V_d=+0,9V$ c) $V_d=3V$?
- 5) Pour le transistor de la question 4, avec $\mu_n.C_{ox}=100 \mu A/V^2$, $W=10 \mu m$; $L=1 \mu m$; donnez I_d pour a,b, et c.

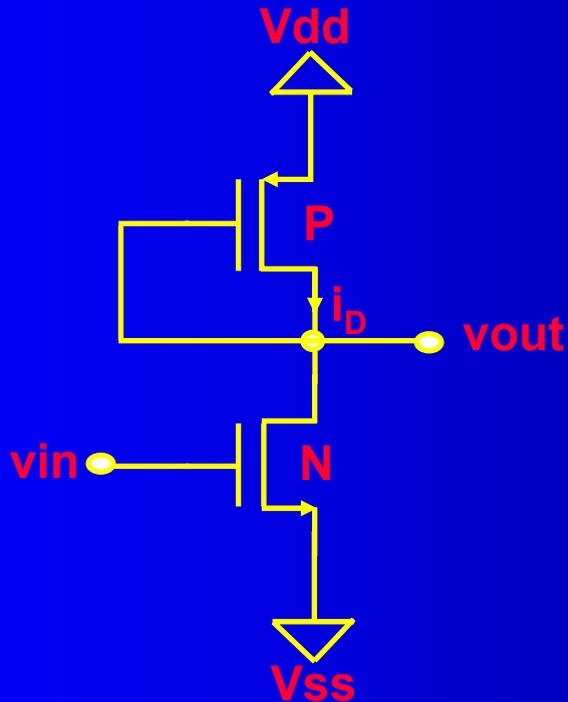
[Solutions des exercices](#)

Exercices

- 1) On considère un transistor PMOS tel que $V_t = -1\text{V}$, $K_p = 60 \mu\text{A}/\text{V}^2$, et $W/L = 10$.
 - a) Donnez la plage de tension V_G pour laquelle le transistor est conducteur
 - b) Par rapport à V_G , donnez la plage de tension V_D pour laquelle le transistor fonctionne en mode triode.
 - c) Par rapport à V_G , donnez la plage de tension V_D pour laquelle le transistor fonctionne en mode saturation.
 - d) En considérant qu'il n'y a pas d'effet de modulation de la longueur du canal de conduction ($\lambda = 0$), donnez les valeurs de $|V_{OV}|$ et de V_G ainsi que la plage de valeur V_D permettant au transistor de fonctionner en saturation avec $I_D = 75 \mu\text{A}$.
 - e) Pour $\lambda = -0,02 \text{V}^{-1}$ calculer r_0 et pour la valeur de $|V_{OV}|$ trouvée en d) donner I_D à $V_D = 3\text{V}$ et à $V_D = 0$ et calculer la résistance « de sortie » apparente à partir de ces deux valeurs et comparez à r_0



Application : ampli à charge active



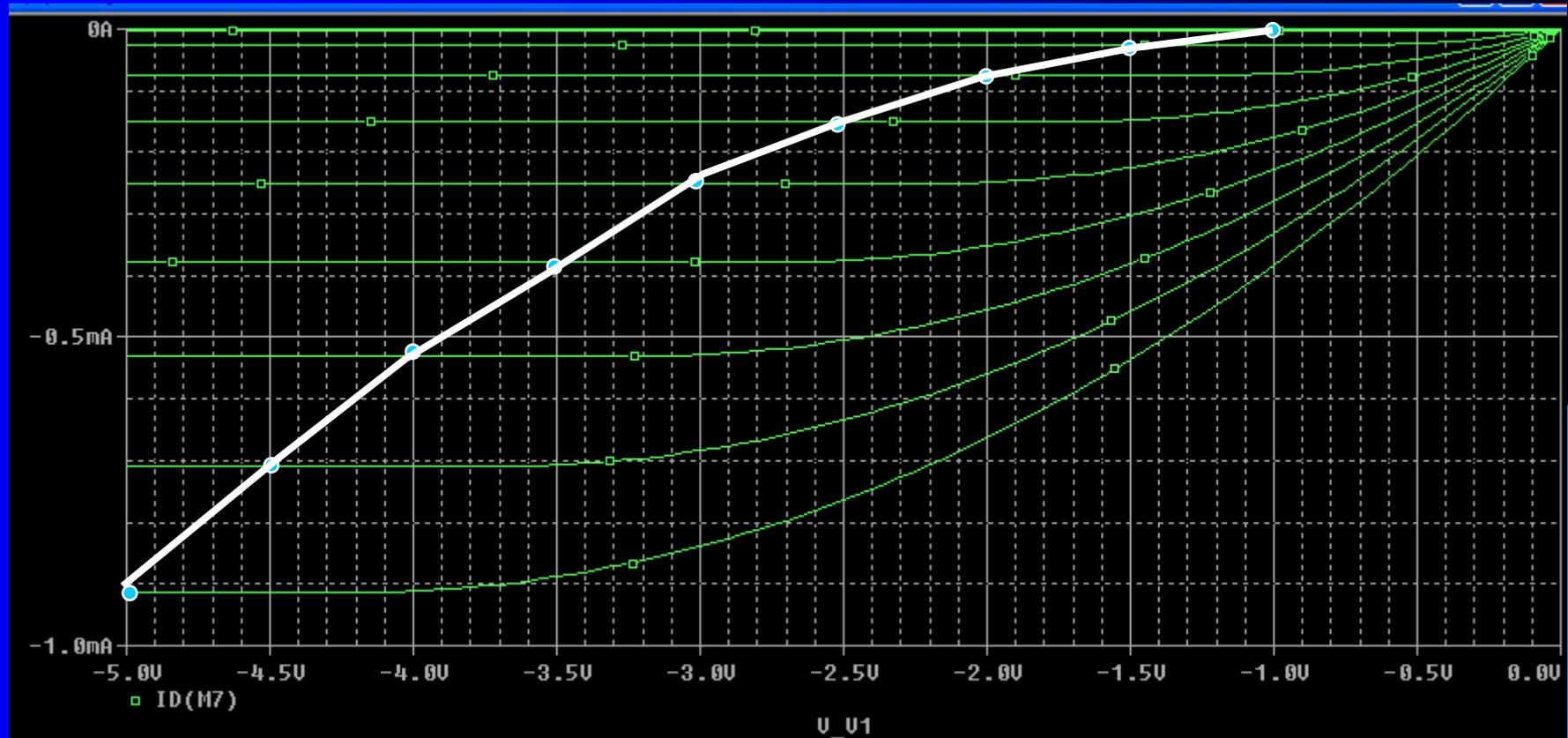
Paramètres

- Technologie : 0.8 μm
- Vdd = 5V
- Vss = 0V
- $K_n = 103,6 \mu\text{A/V}^2$
- $K_p = 34,53 \mu\text{A/V}^2$
- $V_{thn} = 0.8 \text{ V}$
- $V_{thp} = -0.8 \text{ V}$
- $K = \mu_n C_{ox}$

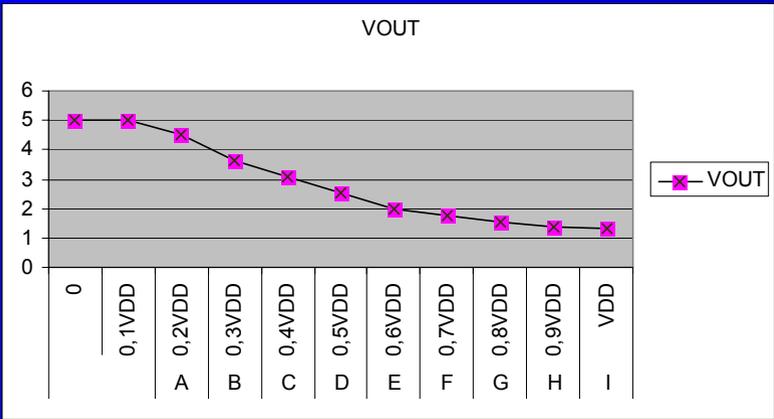
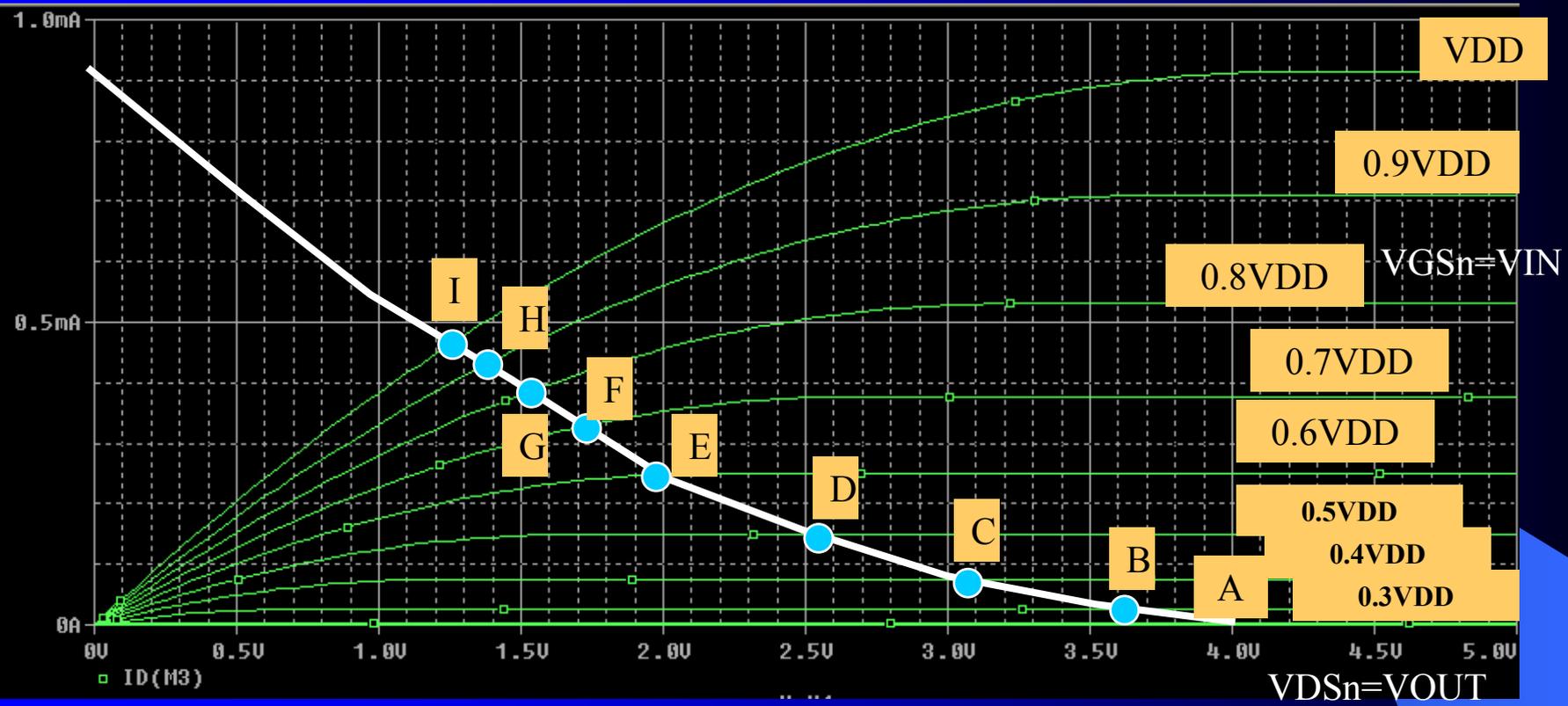
Fonctionnement en diode du transistor P

Saturation ($V_{GSp} = V_{DSp}$)

$$I_{Dsp} = KP/2 (W/L) (V_{SG} - V_T)^2$$



« Droite » de charge pour le transistor N



$$V_{OUT(max)} \approx V_{DD} - |V_{Tn}|$$

Pour $V_{OUT}(\min)$ ($V_{IN}=V_{GS}=V_{DD}$) on a N non saturé et P saturé

$$\begin{aligned} I_D &= K_n \frac{W}{L} \left[(V_{GSn} - V_T) V_{DSn} - \frac{V_{DSn}^2}{2} \right] \\ &= K_n \frac{W}{L} \left[(V_{DD} - V_T) V_{OUT} - \frac{V_{OUT}^2}{2} \right] = \beta_n \left[(V_{DD} - V_T) V_{OUT} - \frac{V_{OUT}^2}{2} \right] \end{aligned}$$

$$I_D = K_p \frac{W}{L} (V_{SGp} - V_T)^2 = \beta_p (V_{DD} - V_{OUT} - V_T)^2$$

À résoudre avec application numérique

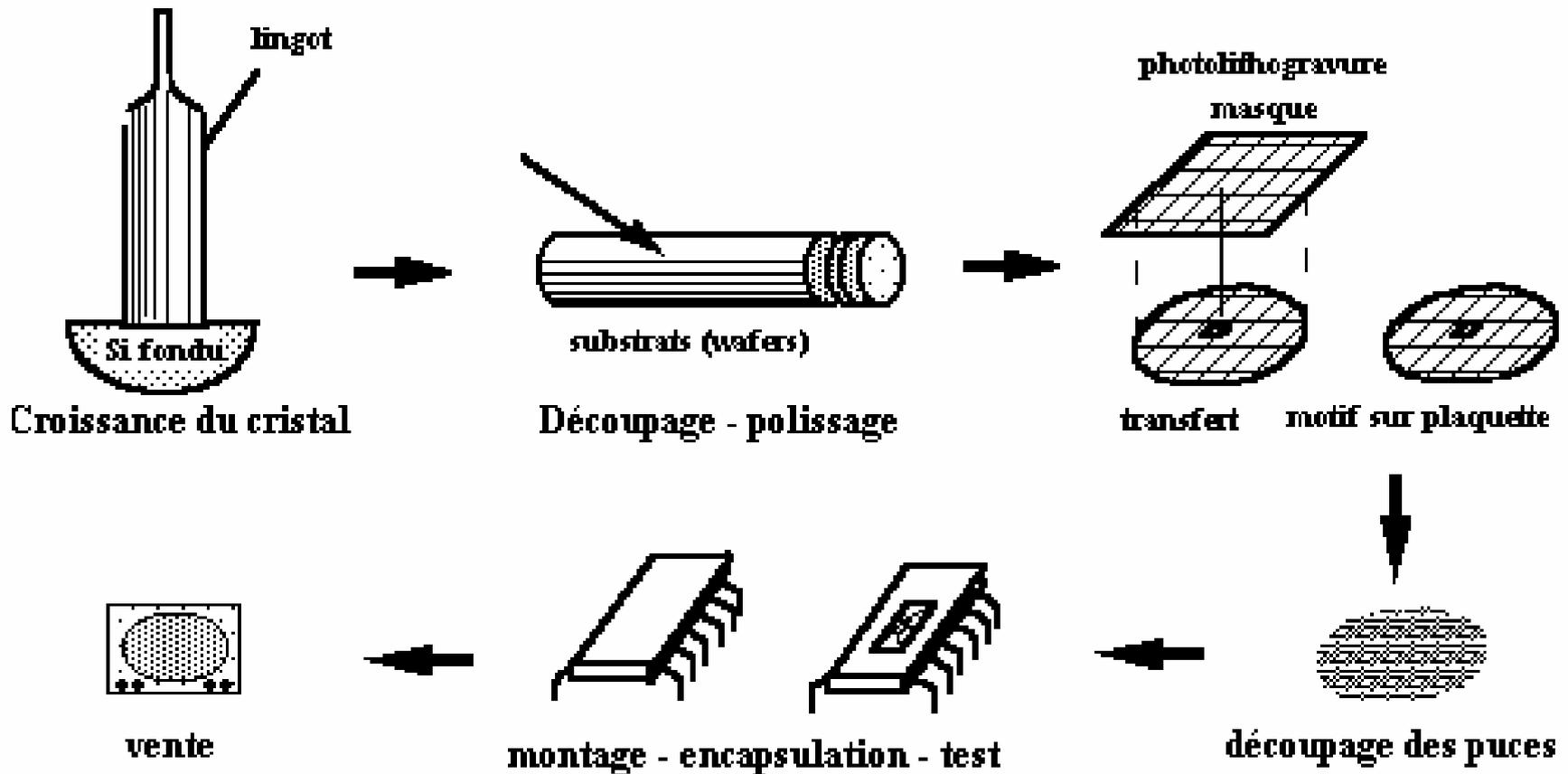
Exercice 1 : Trouvez le rapport entre $(W/L)_p$ et $(W/L)_n$ si l'on veut avoir $V_{out} = 3,7V$ pour $V_{in} = 1,5V$, avec $V_{DD} = 5V$.

Donnez une solution pour avoir $I_D = 25 \mu A$.

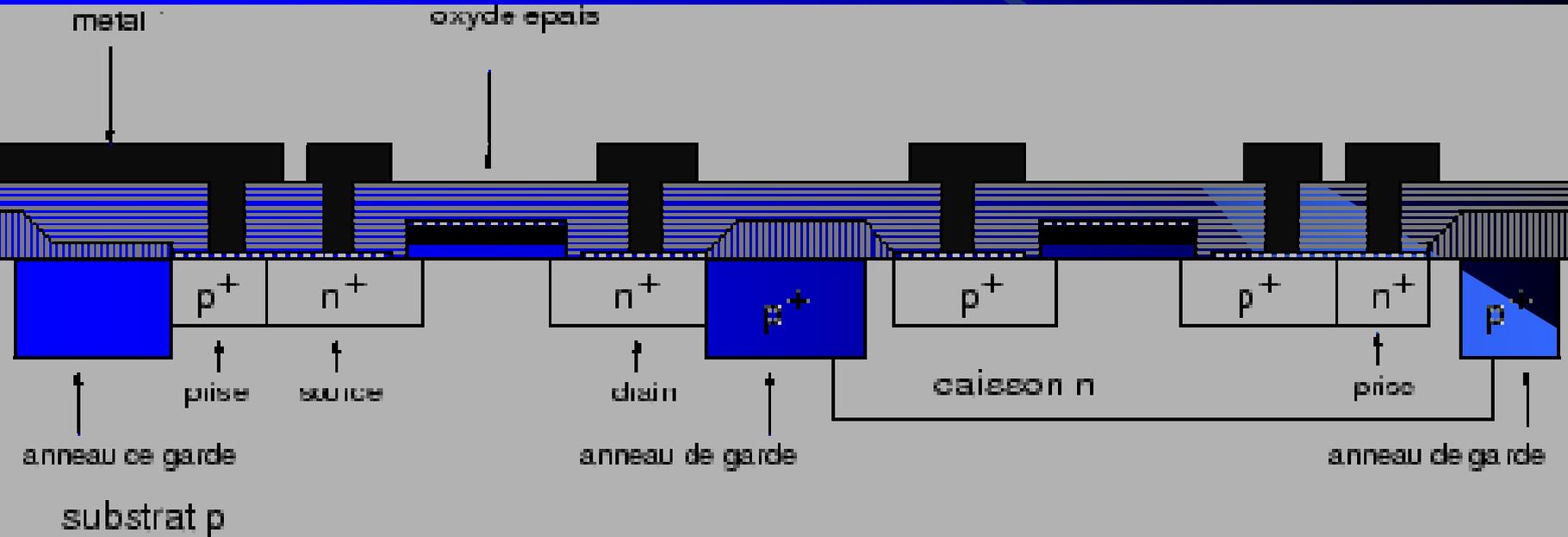
Notions de technologie : définitions

- Technologie : c'est le processus de fabrication d'un circuit intégré.
- Une technologie est au minimum définie par :
 - un jeu de **règles géométriques** et topologiques constituant les contraintes de dessin des masques des circuits (longueur minimale du canal, dimensions minimales de la grille, etc.),
 - un jeu de **paramètres électriques** permettant d'évaluer, grâce à l'analyse ou à des programmes de simulation, le comportement probable des circuits (capacité surfacique de l'oxyde, résistance des métaux, etc.)
- Selon la technique de conception employée, la manipulation directe de ces données technologiques n'est pas toujours nécessaire.

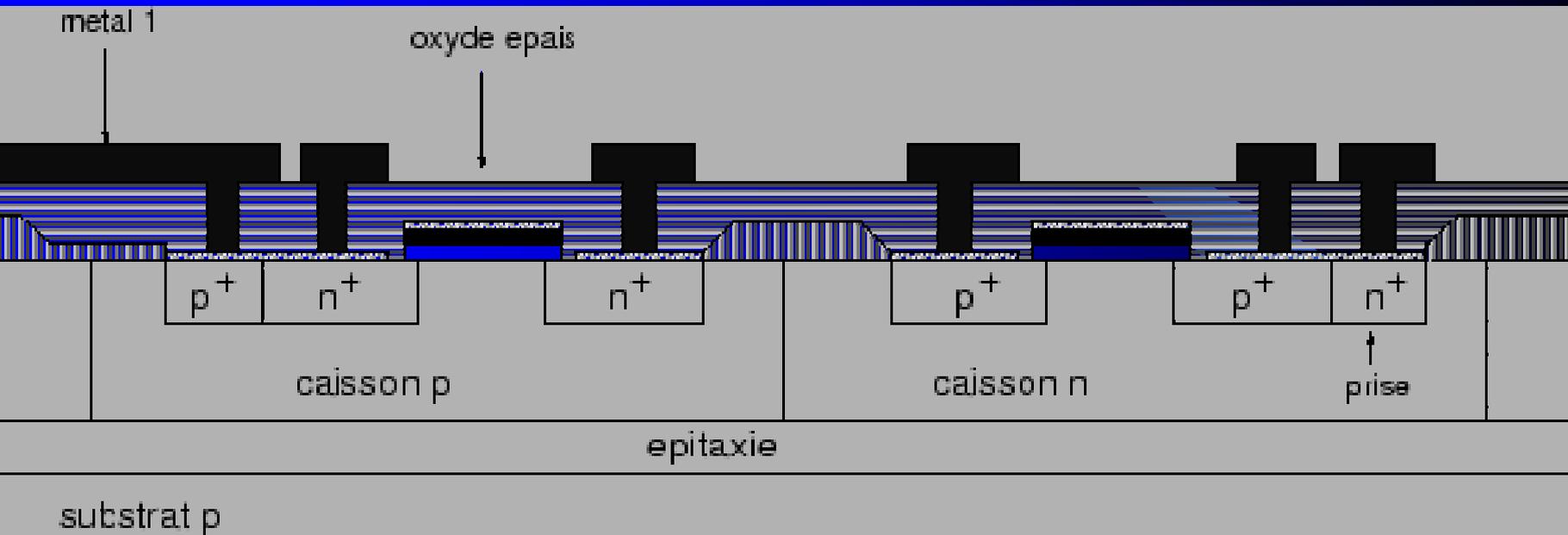
Notions de technologie : étapes de fabrication



Filières technologiques principales : Caisson P (N)

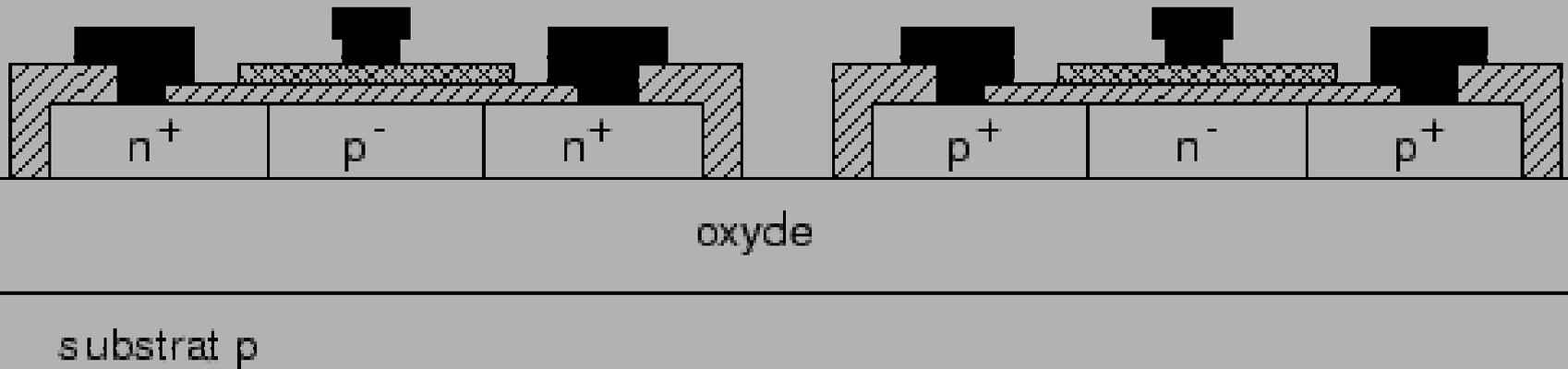


Filières technologiques principales : Double caisson



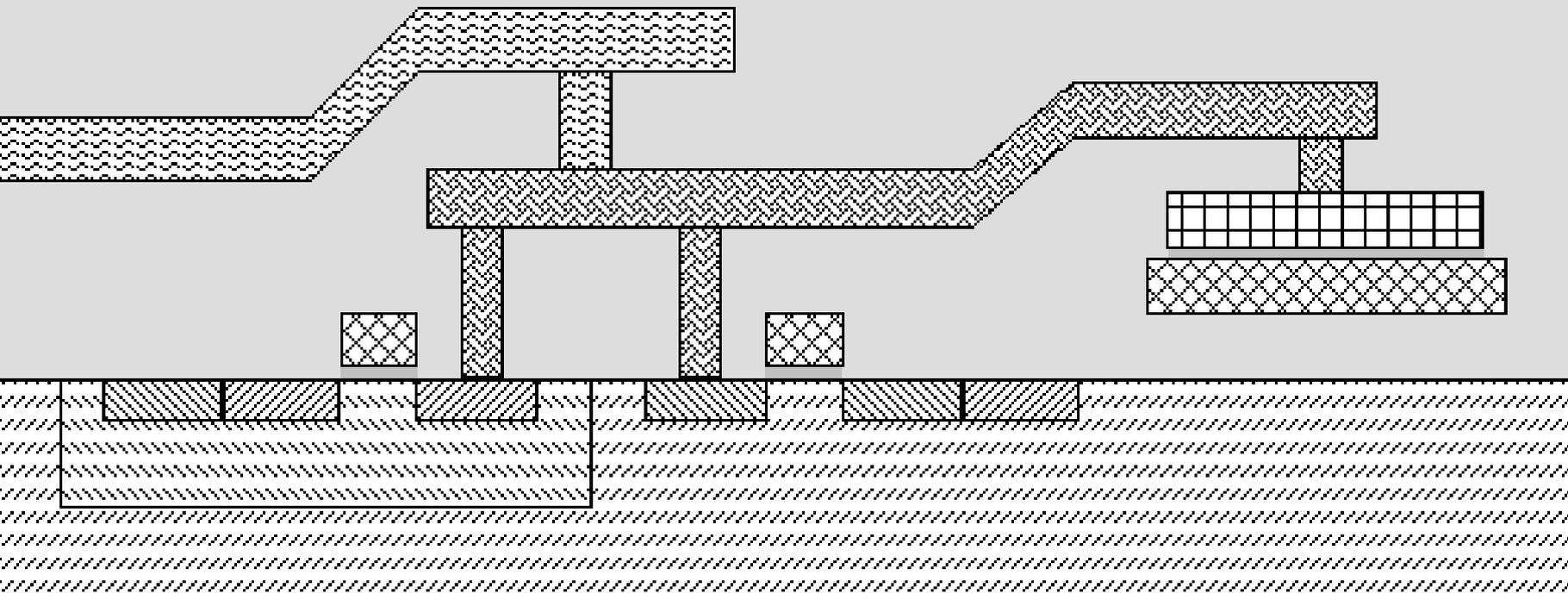
- Les transistors P et N sont placés dans des caissons différents.
- Facilite l'optimisation séparée des paramètres électriques des transistors.
- Filière plus onéreuse.

Filières technologiques principales : SOI (Substrat Sur Isolant)



- Les transistors P et N sont électriquement séparés du substrat par un isolant.
- Essentiellement caractérisée par une plus grande densité d'intégration.
- Pas de problème de latch-up,
- Plus grande rapidité du fait de la diminution des capacités parasites.
- Plus grande immunité aux bruits de substrat.
- Coûts de production en nette diminution.
- Probablement l'avenir pour les CI analogiques hautes fréquences.

Notions de technologie : Masques technologiques MOS



Oxyde mince



Diffusion N+



Métal 1

Oxyde épais



Diffusion P+



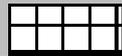
Métal 2

Substrat P-



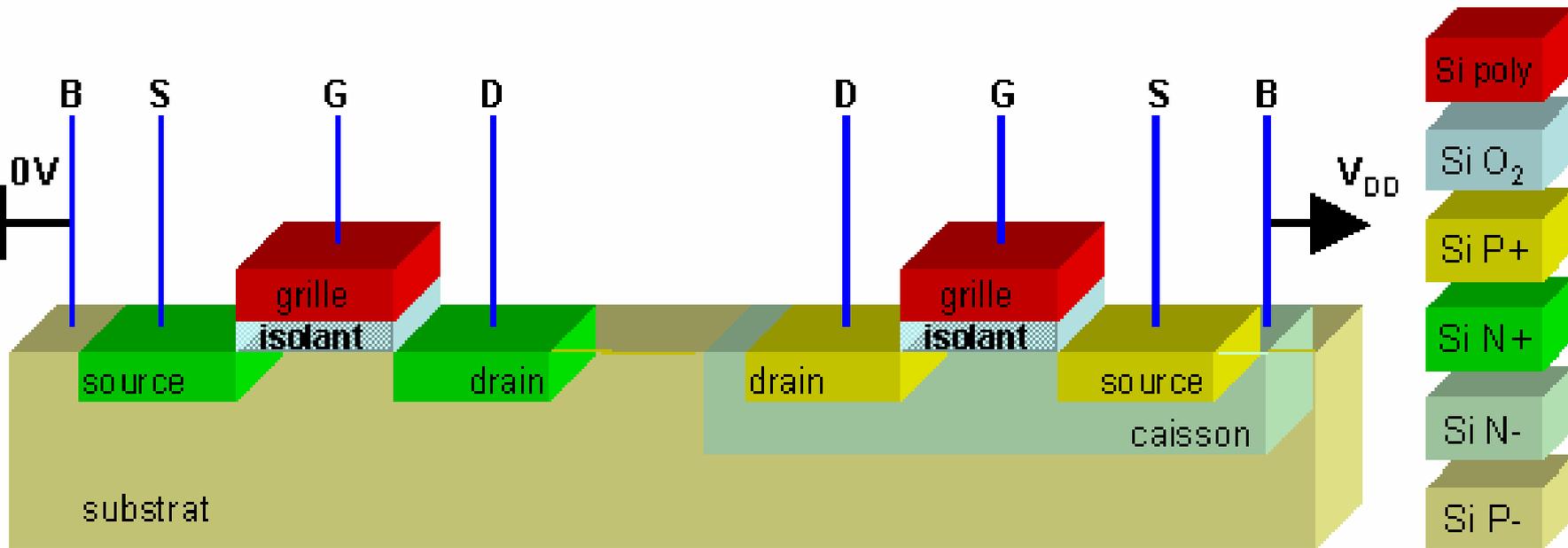
Polysilicium 1

Caisson N-

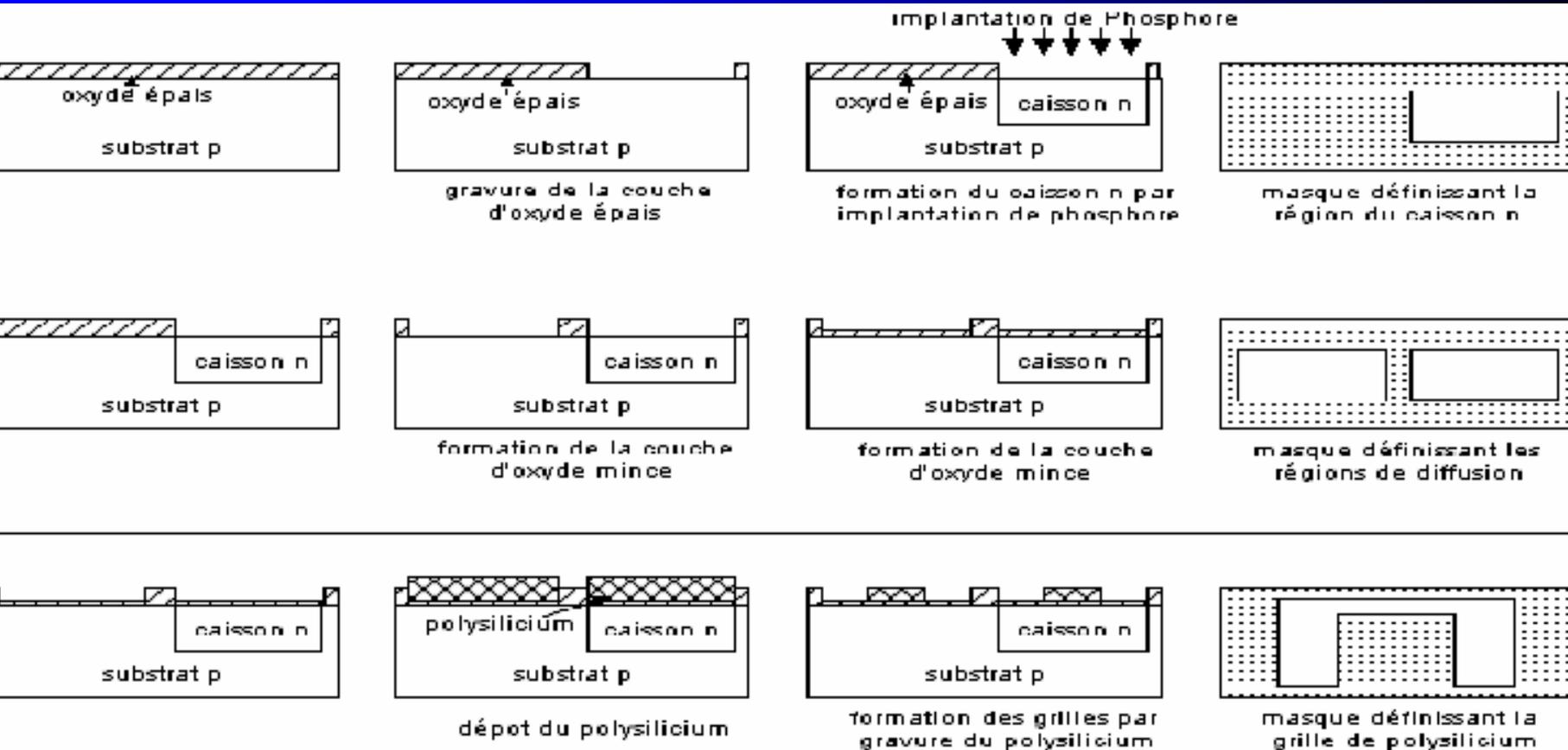


Polysilicium 2

Notions de technologie : Masques technologiques MOS

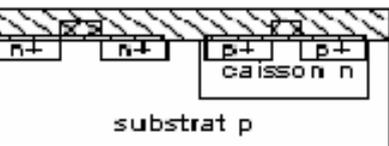
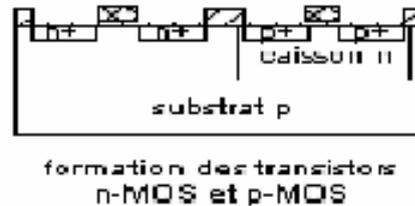
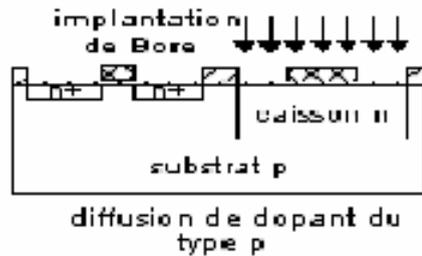
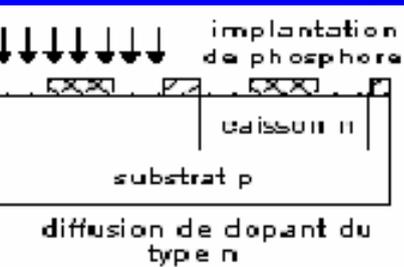


Notions de technologie : masques



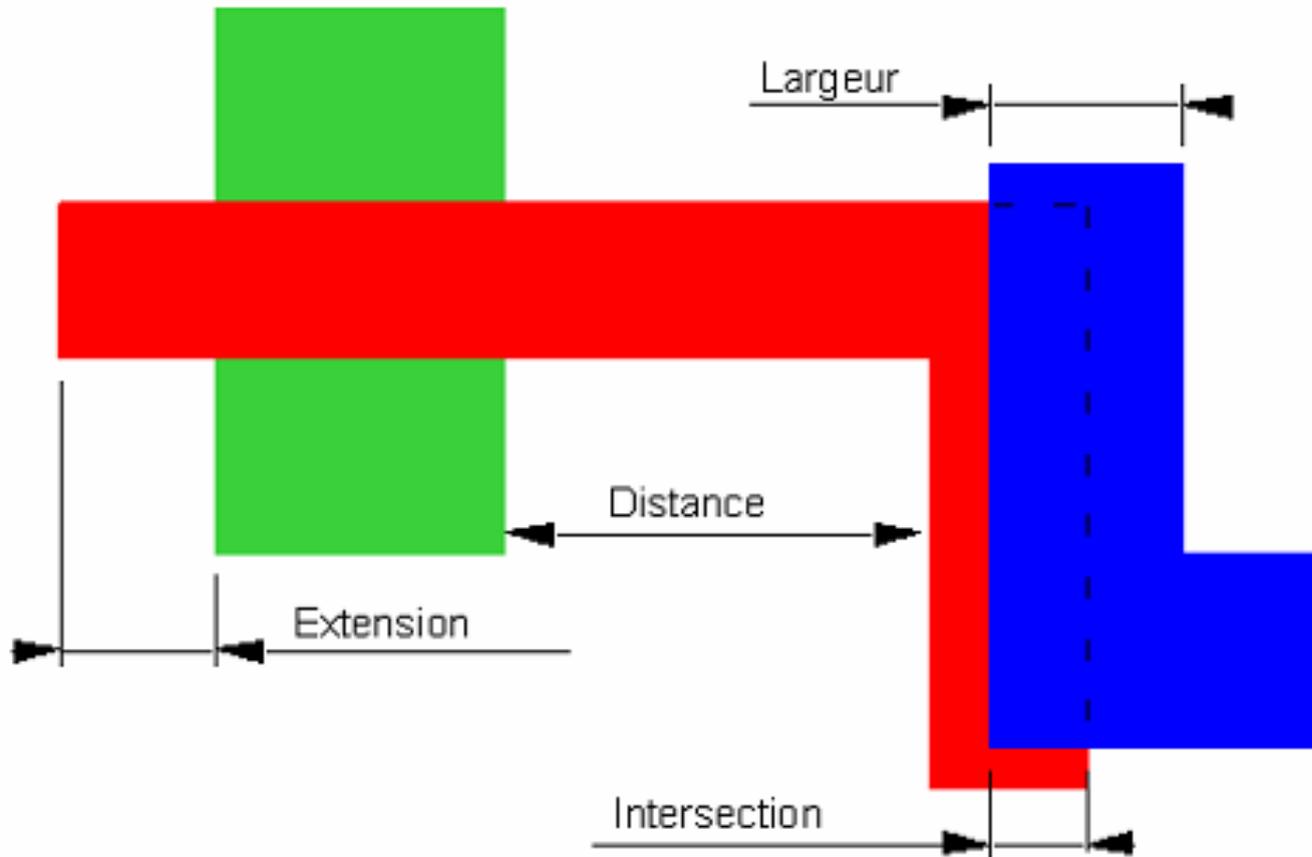
- 1 : définir la région où le caisson n sera formé.
- 2 : définir les régions nécessaires pour réaliser les grilles des transistors.
- 3 : dans l'étape suivante la grille en polysilicium est formée.

Notions de technologie : masques

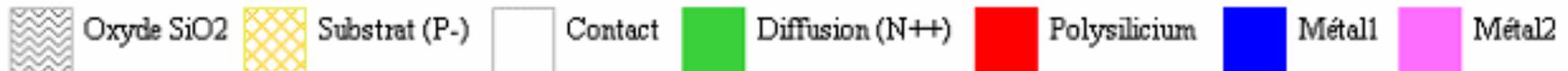


- 4 : définir les transistors de type n et les transistors de type p.
- 5 : définir les lieux où un contact sera réalisé.
- 6 : recouvrir le circuit d'une couche de passivation
- 7 : réaliser des ouvertures pour les différents plots du circuit intégré.

Notions de technologie : grandeurs géométriques



- Nb. règles géométriques > 150 !



Notions de technologie : grandeurs électriques

$$R_B = \rho_B \frac{L}{W}$$

R_{\square} : résistance par carré (Ω/\square)

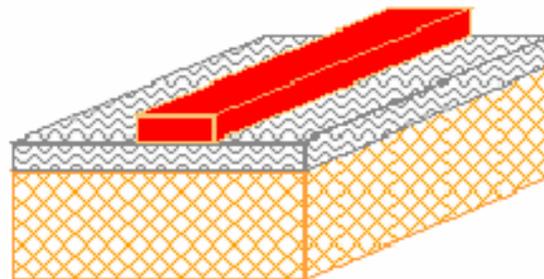
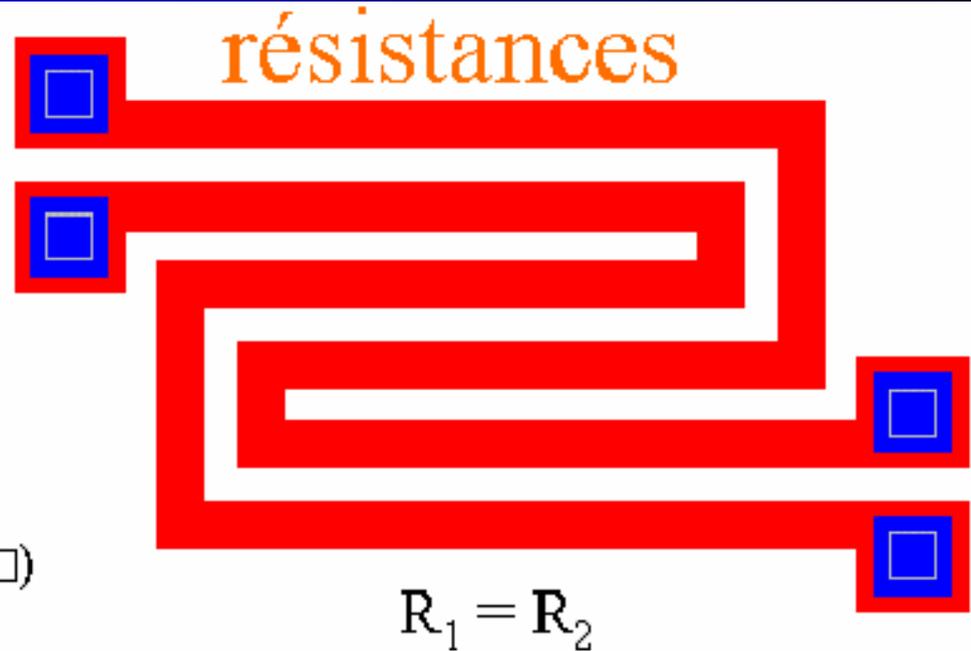
matériaux utilisés :

diffusion (qq. Ω/\square à $20 \text{ k}\Omega/\square$)

polysilicium (qq. Ω/\square à $50 \Omega/\square$)

$\Delta = 20\%$; $\delta = 1\%$

$f(T, V)$



Oxycde SiO2



Substrat (P-)



Contact



Diffusion (N++)



Polysilicium

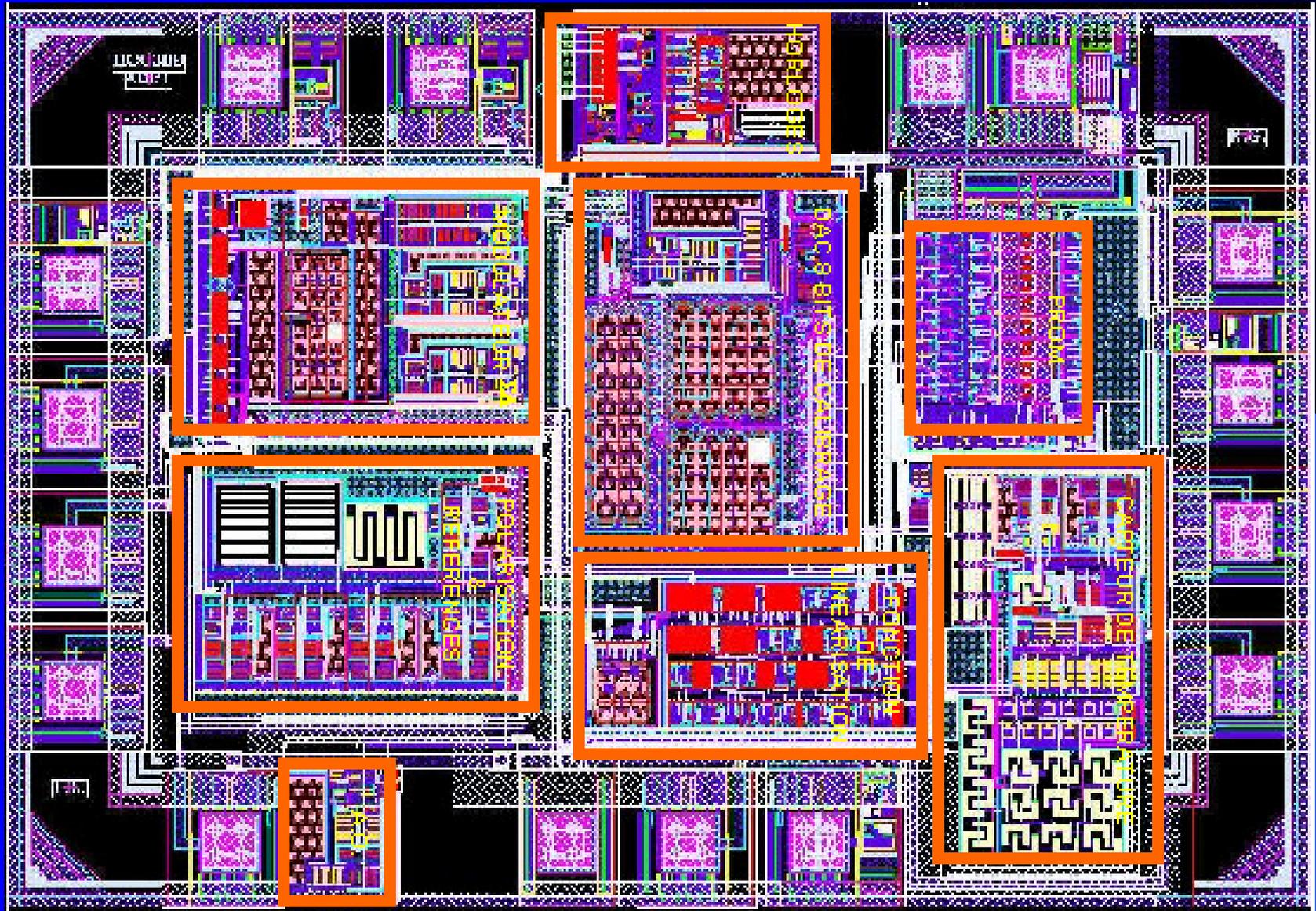


Métall1

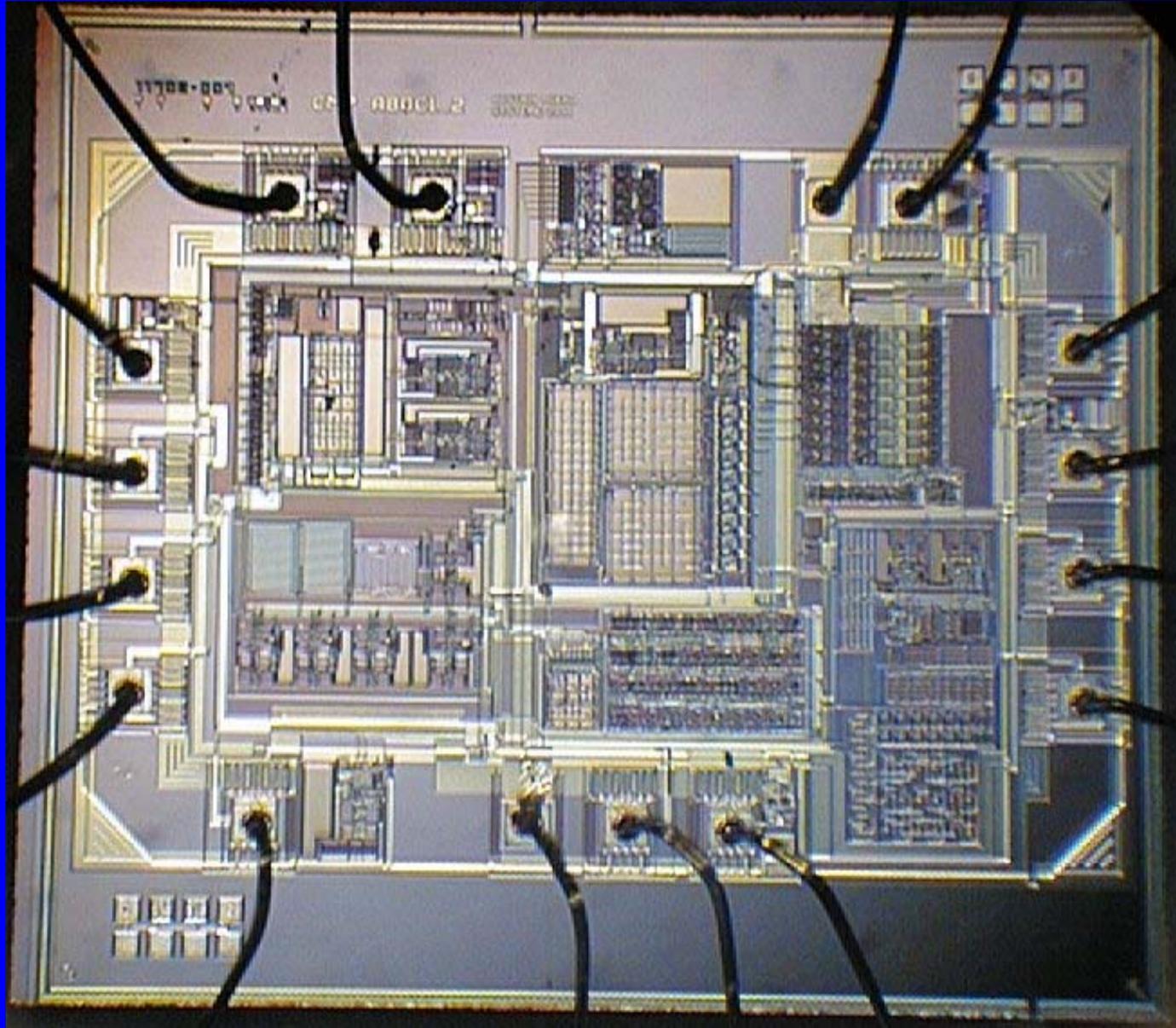


Métall2

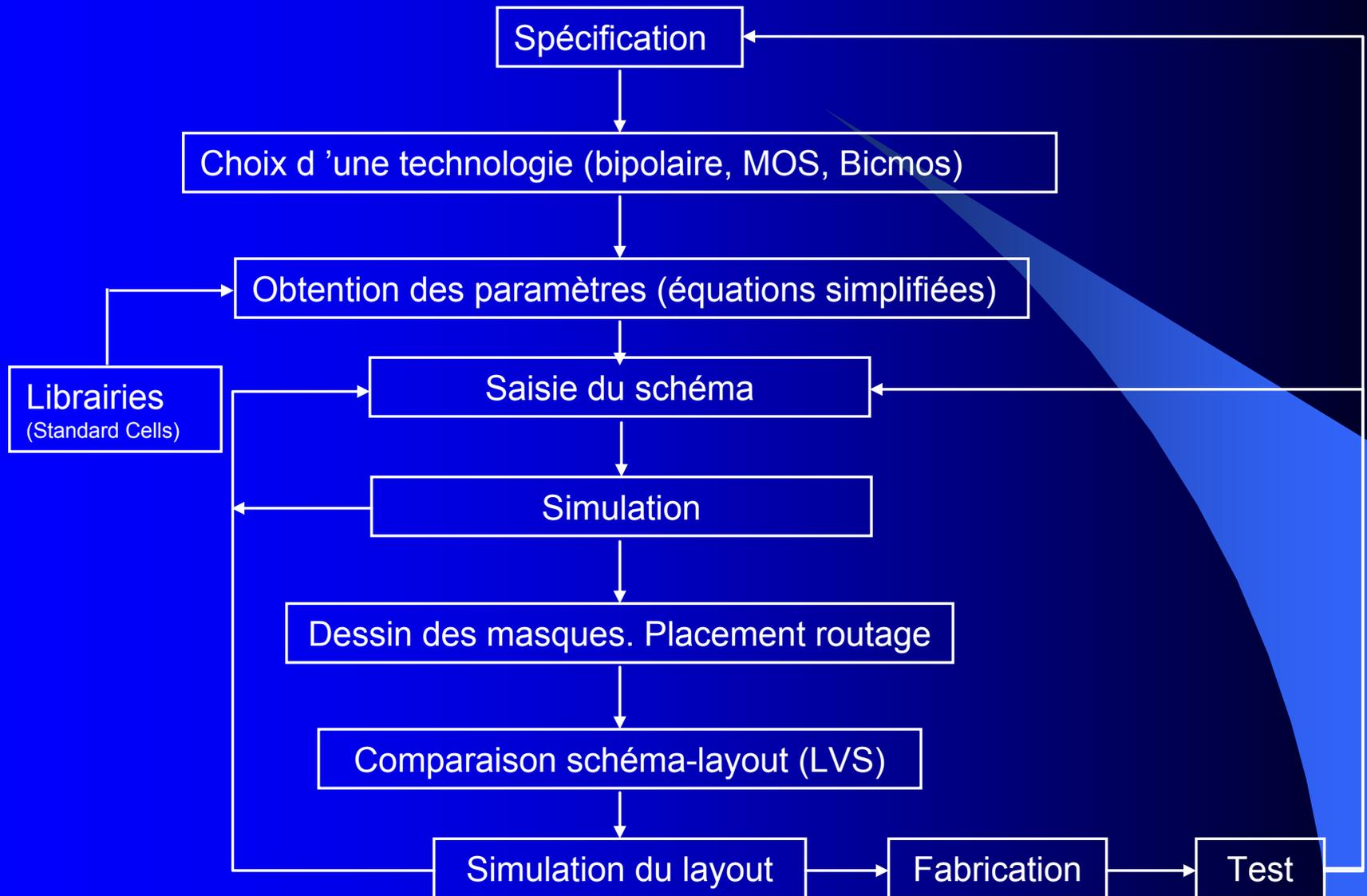
Exemple de circuit intégré : masques



Exemple de circuit intégré : 3x2mm.



Le MOS : Démarche d'intégration



Comparaison CMOS - Bipolaire

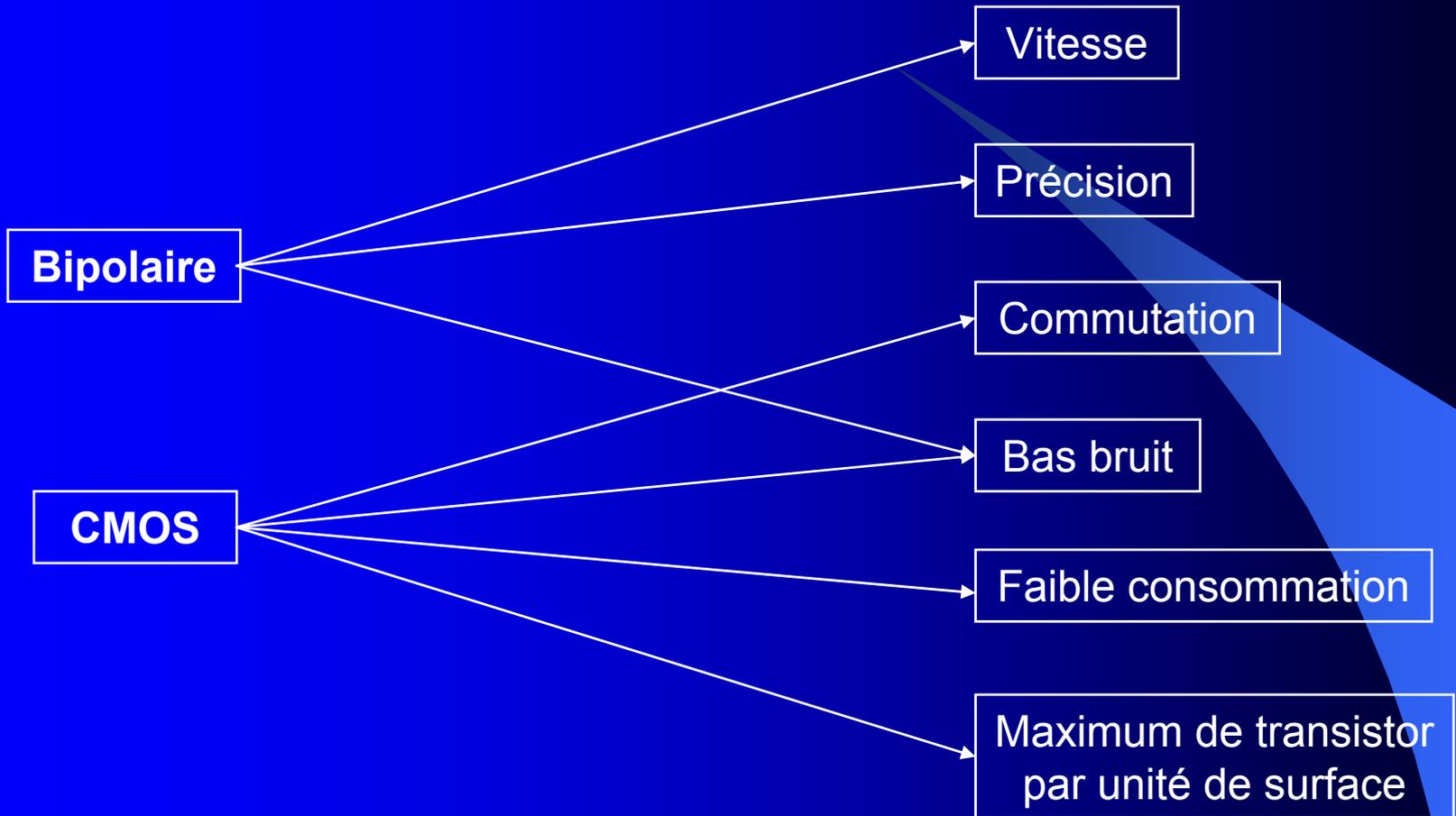
CMOS

- *Grande capacité d'intégration*
- *Circuit VLSI*
- *Faible consommation*
- Adapté à la commutation
- Grande impédance d'entrée
- Meilleur en basse température
- Circuit faible bruit
- Circuit faible coût

Bipolaire

- *Rapide*
- *Plus grande dynamique*
- *Adapté au circuit RF*
- Fonctions non linéaire
- Faible offset
- Meilleur appairage
- Plus grande conductance
- Circuit très faible bruit

Choix d'une technologie



Utilisation du BiCmos : pour un A.O par exemple, on peut utiliser le MOS en entrée pour sa haute impédance et le bipolaire en sortie pour la puissance et la rapidité.

Les types d'intégration

Standard Cells

- Large variété des cellules
- Placement automatique
- Routage automatique
- Temps de développement court
- Sécurité quant au résultat
- Économique

Full Custom

- Plus performant
- Optimisation possible
- Conception totale
- Personnel spécialisé
- Incertitude quand au résultat Coût élevé

Remarque : Nécessité de développer en Full Custom si la cellule recherchée est inexistante ou les performances très spécifiques.

Les outils de conception

- **Les logiciels**
 - Simulation : Hspice, eldo, spectre, etc
 - Dessin des masques : Virtuoso (environnement Cadence)
 - Mentor Graphics (environnement de travail).
- **Nécessité d'une évolution rapide des logiciels**
 - Faire face à la complexité croissante des circuits analogiques.
 - Faire face aux problèmes liés à la cohabitation de circuits mixtes digitaux-analogiques (SOC).
 - Faire face aux nouvelles technologies.