

# Protéger les Circuits Intégrés contre les ESD

Philippe DESCAMPS

## Les limites des composants intégrés

Type de Composant	Limites DC	Energie (J)	Tension ( $V_{HBM}$ )
Tête magnétique	-	$10^{-7}$	10
CMOS	-	$10^{-6}$	30
Bipolaire RF	-	$10^{-5}$	100
Bipolaire (faible puissance)	-	$10^{-4}$	300
Diode RF (en direct)	-	$10^{-3}$	1000
Bipolaire ( moyenne puissance)	-	$10^{-2}$	3000
Diodes de puissance, Zener	-	$10^{-1}$	10000
Bipolaire (forte puissance)	-	$10^0$	30000
SCR (thyristor discret)	-	$10^1$	100000

Spec. PHILIPS: 2000  $V_{HBM}$ , 200  $V_{MM}$ , 1000  $V_{CDM}$

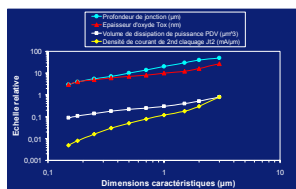
## SOMMAIRE

1. Introduction: Pourquoi protéger les circuits intégrés
2. Les mécanismes de conduction dans les semiconducteurs
3. Les modes de défaillance
4. Les composants de protection
5. Les stratégies de protection
6. Conclusion

## Les limites et contraintes de nos circuits et technologies

- Nombre de pads: # 10 à > 500 => multiples chemins ESD
- Tensions d'alimentations 1.2V (CMOS avancé) à 5.5 (BiCMOS mature) et voir plus pour les procédés BCD.
- Tensions limite d'utilisation des composants:
  - de  $V_{cc}+25\%$  à 10, 20 ou 30V
  - (fonction des composants, des procédés et du layout)
- Consommations max des produits:
  - plusieurs 100mA à environ 100 $\mu$ A
- Fréquences d'utilisation: quelques MHz à plus de 10 GHz

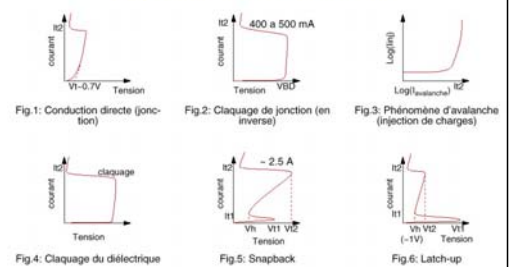
## L'évolution des technologies



Paramètres influençant la robustesse ESD des CI:

- Paramètres de procédés: dopages, silicure,... (potentiellement tout!)
- Paramètres de conception: layout et schémas électriques (potentiellement tout!)

## Conduction dans les semiconducteurs



## Pourquoi protéger les circuits ?

La partie fonctionnelle du circuit n'est pas conçue pour supporter des champs électriques trop élevés ni des courants trop forts.

Des mécanismes de défaillance pourront être activés en régime de fort courant.

Mécanismes de conduction possibles dans les semiconducteurs	Rétablissement total possible	Composant physiquement modifié
conduction résistive	Non utilisable comme protection ESD	
conduction directe	X	
claquage de jonction		X
avalanche		X
claquage du diélectrique		X
snapback	X	
latch-up	X	

Ces mécanismes ont tous une limite supérieure de courant ( $I_{max}=I_c$ ) au delà de laquelle il y a destruction du composant (fonction du procédé et du design).

## Les modes de défaillance

- Rupture d'oxyde (trop fort champ électrique:  $E_{max}=20.10^6$ V/cm ou 10V pour un oxyde de grille de 50Å)
- Fusion des interconnexions (trop forte densité de courant)
- Formation de filaments (trop forte densité de courant)
- Injection de charges (trop fort champ électrique)
- Perçage des contacts (trop forte densité de courant)

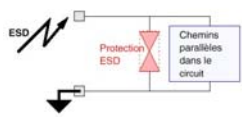
Résultats sur la fonctionnalité du circuit:

- Courts-circuits
- Circuits ouverts
- Modifications dans les caractéristiques électriques (défauts souvent définits pour l'application mais pouvant parfois être "guéris" thermiquement mais risque aussi de dégrader la durée de vie du produit).

Comme protéger les circuits intégrés

Prévoir le comportement des circuits soumis à des ESD en s'assurant que leur fonctionnalité ne sera pas affectée jusqu'à un certain niveau de décharge.

Pour cela plusieurs choses peuvent être menées au niveau de la conception du circuit:

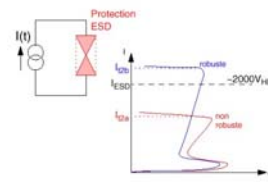


- Développement de composants spécifiques.
- Adaptation du circuit pour créer un chemin électrique dédié aux ESD.

4. Les composants de protection

1 La robustesse

La protection ESD doit pouvoir évacuer le courant de décharge sans être dégradée:



- Laisser passer de forts courants pendant toute la durée de l'impulsion.
- Être suffisamment robuste pour résister à plusieurs impulsions.
- Supporter tous les tests effectués avant la livraison (burn-in).

4. Les composants de protection

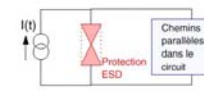
Cahier des charges des protections ESD

- Prendre en compte les différents chemins de décharges ESD
- Lutter contre les décharges positives et négatives
- Ne pas affecter la fonctionnalité du circuit en conditions normales de fonctionnement
- Écrêter les hautes tensions
- Évacuer le courant de décharge
- Se déclencher rapidement
- Occuper un minimum de place
- Ne pas induire d'étape supplémentaire dans le procédé de fabrication des composants

4. Les composants de protection

2 L'efficacité

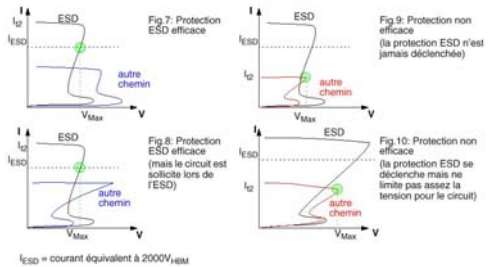
La protection ESD doit pouvoir limiter la tension pour protéger le déclenchement des chemins parallèles internes au circuit.



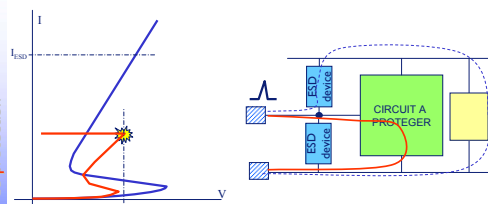
- Limiter la tension ESD et court-circuiter le courant de décharge.
- Constituer un chemin faiblement résistif durant l'ESD (faible  $R_{CS}$  pour être sûr de ne pas voir monter la tension du fait du passage d'un fort courant).
- Avoir un bon contact thermique avec le substrat.
- Être aussi peu sensible que possible aux dérives du procédé.

4. Les composants de protection

2 L'efficacité (suite)



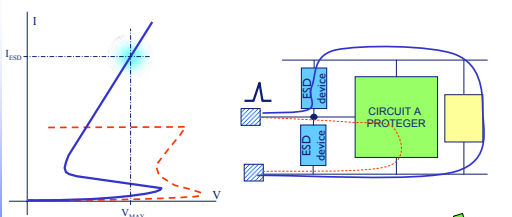
4. Les composants de protection



CAS N° 2

**PROTECTION INEFFICACE**

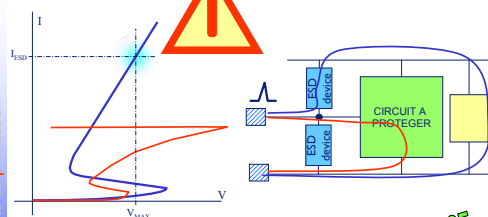
4. Les composants de protection



CAS N° 1

**PROTECTION EFFICACE**

4. Les composants de protection



CAS N° 3

**PROTECTION EFFICACE**

4. Les composants de protection

Protéger les CI contre les ESD

4. Les composants de protection

CAS N° 3 (suite)

PROTECTION EFFICACE

17

Protéger les CI contre les ESD

4. Les composants de protection

CAS N° 3 (suite)

PROTECTION EFFICACE

18

Protéger les CI contre les ESD

4. Les composants de protection

CAS N° 3 (suite)

PROTECTION EFFICACE

18

Protéger les CI contre les ESD

4. Les composants de protection

CAS N° 4

PROTECTION INEFFICACE

20

Protéger les CI contre les ESD

### 3 La rapidité

La protection ESD doit se déclencher suffisamment vite (comparativement aux autres chemins possibles dans le circuit).

4. Les composants de protection

- Se déclencher rapidement ( $< 1ns$ ): plus rapidement que le reste du circuit et suffisamment pour réagir aux ESD.
- Etre efficace pour les différents modèles d'ESD.

21

Protéger les CI contre les ESD

### La stratégie de protection

**But:** Prévoir des chemins préférentiels robustes pour tous les types d'ESD susceptibles d'arriver sur le circuit (pour les deux polarités et toutes les combinaisons de pin).

**Remarque:** Des chemins ne pouvant pas se déclencher durant le fonctionnement normal du circuit.

Exemple de caractéristique  $I(V)$  dynamique d'un composant ESD performant

Soit le composant ESD idéal: (composant bidirectionnel ne se déclenchant que pour évacuer un ESD).

**Stratégie:** réaliser un réseau avec ce type de composant pour qu'il existe un chemin privilégié résistant aux ESD entre toutes les pins du circuits.

5. Les stratégies de protection

23

Protéger les CI contre les ESD

### 4 La transparence

La protection ESD ne doit pas interférer avec la fonctionnalité du circuit.

- Occuper un minimum de place à proximité du bond pad.
- N'amener qu'une faible capacité parasite.
- N'introduire qu'une faible résistance série.
- Ne pas augmenter le niveaux des courants de fuite ( $V_I > V_{cc}$  tension d'alimentation,  $I_{leak} < 10nA$  @  $125^{\circ}C$ ).

La protection ESD ne doit pas trop amener de surcoût à la fabrication:

- Ne pas nécessiter de masques supplémentaires pour sa réalisation.
- Ne pas nécessiter de trop fortes modifications du procédé.

4. Les composants de protection

22

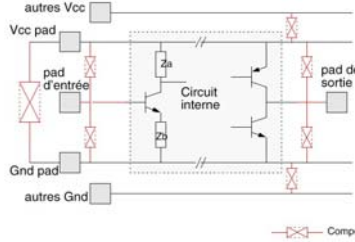
Protéger les CI contre les ESD

### La stratégie idéale en CMOS

5. Les stratégies de protection

24

La stratégie idéale en Bipolaire ou BICMOS



5. Les stratégies de protection

Les composants ESD dans nos technologies

QUBIC / HSS

Stratégie DPSC (Diode + Power Supply Clamp)

- Diodes DB (collecteur - base) et DS (collecteur - substrat)
- Crowbar (QUBIC)
- Thyristor (HSS)

Protection directe

- NPN Latchback

Procédés BIMOS

- NPN Latchback (tous les BIMOS)
- Darlington (BIMOS3 / CBIMOS3)
- Thyristor (BIMOS1.2D)
- Structures à 2 étages pour protéger les entrées CMOS

Procédés CMOS

- ggNMOS (un masque supplémentaire est nécessaire)
- LVTSCR (Low Voltage Triggering SCR) (masque supplémentaire nécessaire)

5. Les stratégies de protection

La réalité

- Le composant parfait n'existe pas (les composants disponibles dépendront du procédé).
- La stratégie idéale a des limitations (pour respecter la fonctionnalité du circuit et d'un point de vue économique).

⇒ Nécessité de trouver un compromis entre :

- La robustesse ESD.
- Les performances et le coût du circuit.

5. Les stratégies de protection

Trois types de composants ESD

Les diodes

**Avantages:** en conduction directe (faible tension de déclenchement, faible résistance série et bonne robustesse ESD).

**Inconvénients:** sa conduction inverse (trop haute tension de déclenchement et une très faible tenue aux ESD)

Structures à "snapback" et thyristors

(ggNMOS, SCR)

**Avantages:** Tension de déclenchement,  $R_{ON}$  et tenue ESD acceptables

**Inconvénients:** Un compromis doit souvent être trouvé entre les précédents paramètres pour chaque procédé et suivant les utilisations.

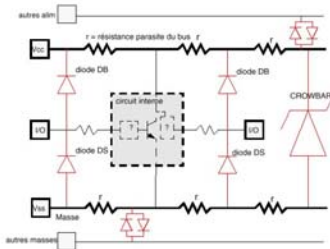
Le crowbar

**Avantages:** Se comporte comme une diode Zener durant l'ESD (faible tension de déclenchement et faible  $R_{ON}$ , bonne robustesse ESD)

**Inconvénients:** C'est une structure de grande dimension et il se met à fumer aux hautes températures.

5. Les stratégies de protection

Exemple en QUBIC3



Stratégie conseillée

Un crowbar sera nécessaire entre chaque Vcc et Gnd et même plusieurs si les résistances d'accès sont élevées (forte longueur des pistes Vcc ou Gnd).

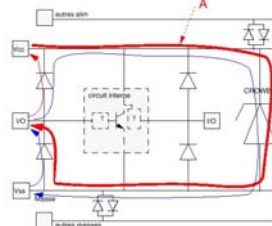
5. Les stratégies de protection

Les méthodes pour l'étude et l'amélioration de la robustesse des circuits

- Mesures de la tenue des composants ESD seuls et des circuits selon les différentes normes de test. (Seuil de défaillance + analyse du défaut).
- Mesure des caractéristiques dynamiques des composants ESD (tests TLP).
- Prises en compte de tous les paramètres d'influence: depuis la conception du composant élémentaire jusqu'à son utilisation dans l'application.
- Regard sur les expériences passées.
- Analyses de défaillance des circuits ne passant pas les spécifications requises.
- Simulations électrothermiques du phénomène ESD dans nos structures.

5. Les stratégies de protection

Les parcours du courant sous ESD



L'ESD s'écoulera par le chemin présentant la plus faible tension de déclenchement.

Chemin A:

$$V_{ESD} = V_{(diode1)} + BV_{(crowbar)} + V_{(diode2)} + (I_{ESD} \times R_{parasite})$$

( $V_{ESD} = 2 + 7 + 2 + 1 = 12V$ ) pour un  $ESD_{HBM}$  de 2000V

5. Les stratégies de protection

CONCLUSION

- Des composants robustes aux ESD existent dans toutes les technologies. Malgré tout, l'amélioration de la tenue aux ESD des circuits reste un enjeu:
  - Un design de circuit 'auto-protégé' n'est souvent pas compatible avec l'aspect fonctionnel du circuit.
  - Il en est de même pour l'utilisation de composants de protection ESD 'parfaits' (très robustes)
  - Aucune réelle simulation de cet aspect de la fiabilité n'est possible pour garantir la robustesse finale au moment de la conception.
- Les solutions ESD restent toujours un compromis entre les performances fonctionnelles et économiques du circuit et sa robustesse aux ESD.
- La tenue aux ESD reste à vérifier sur silicium.

6. Conclusion

