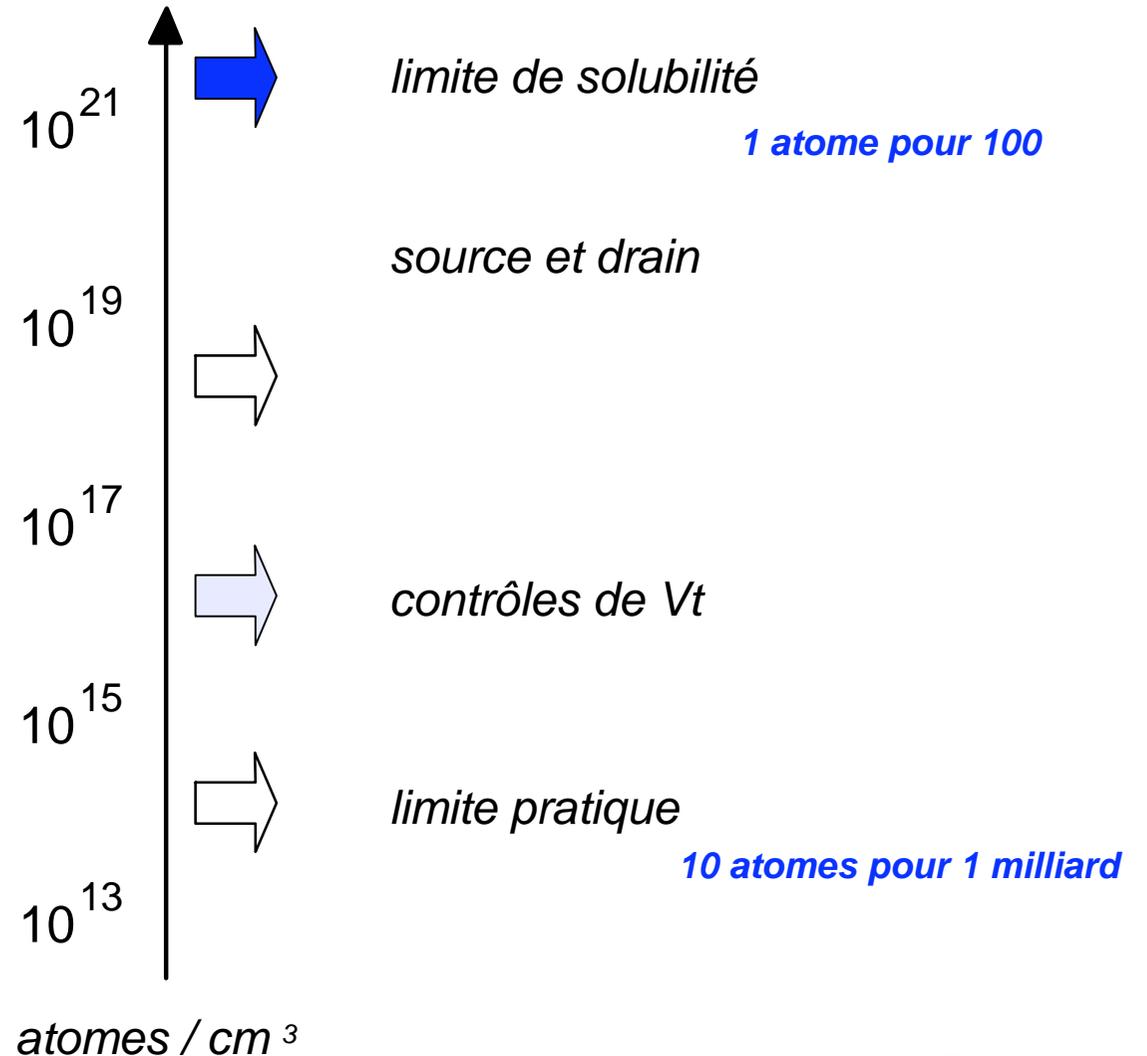
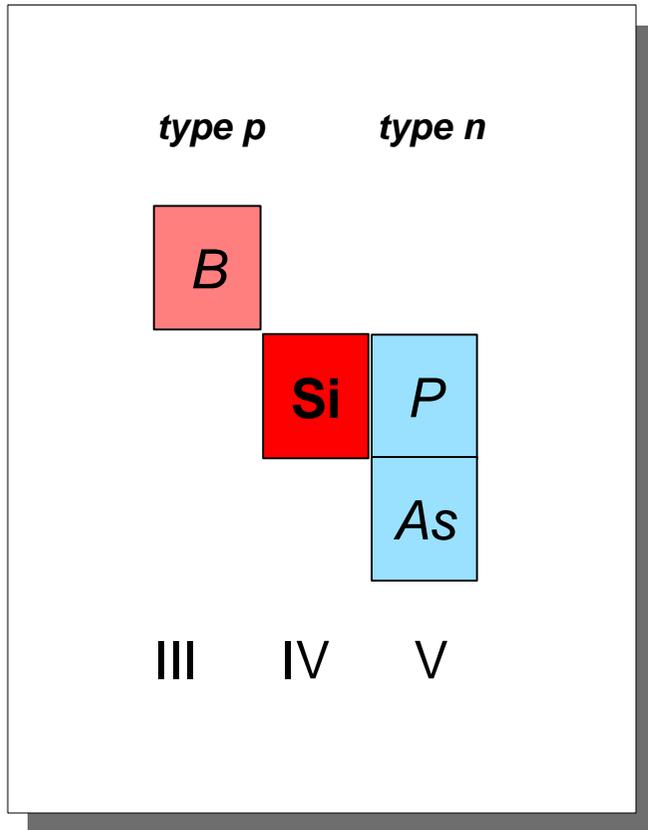
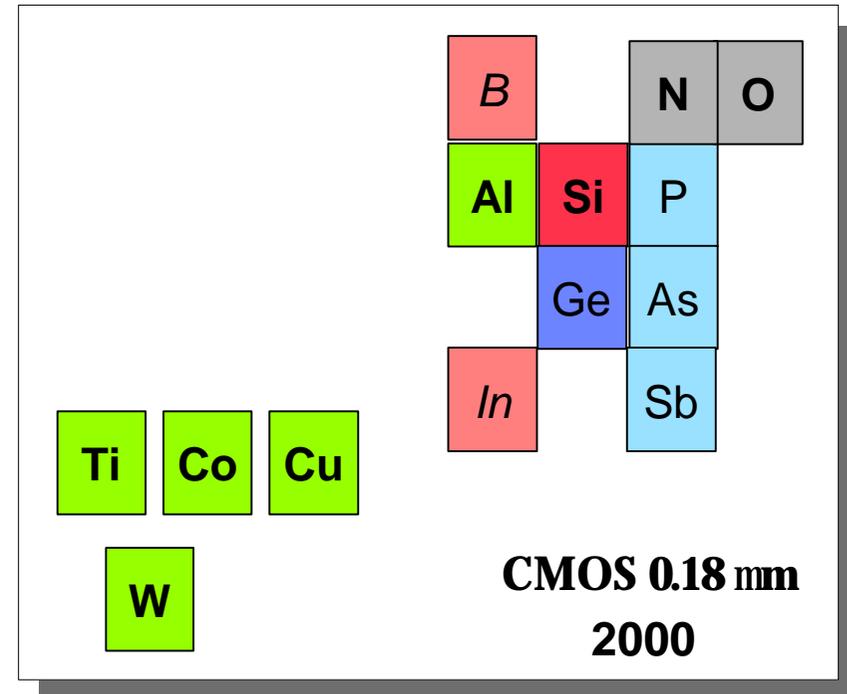
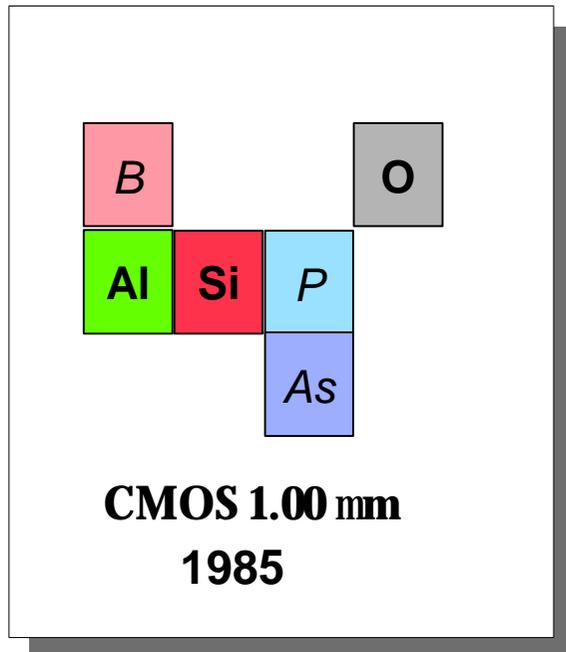


Défi technologique :
un dopage contrôlé





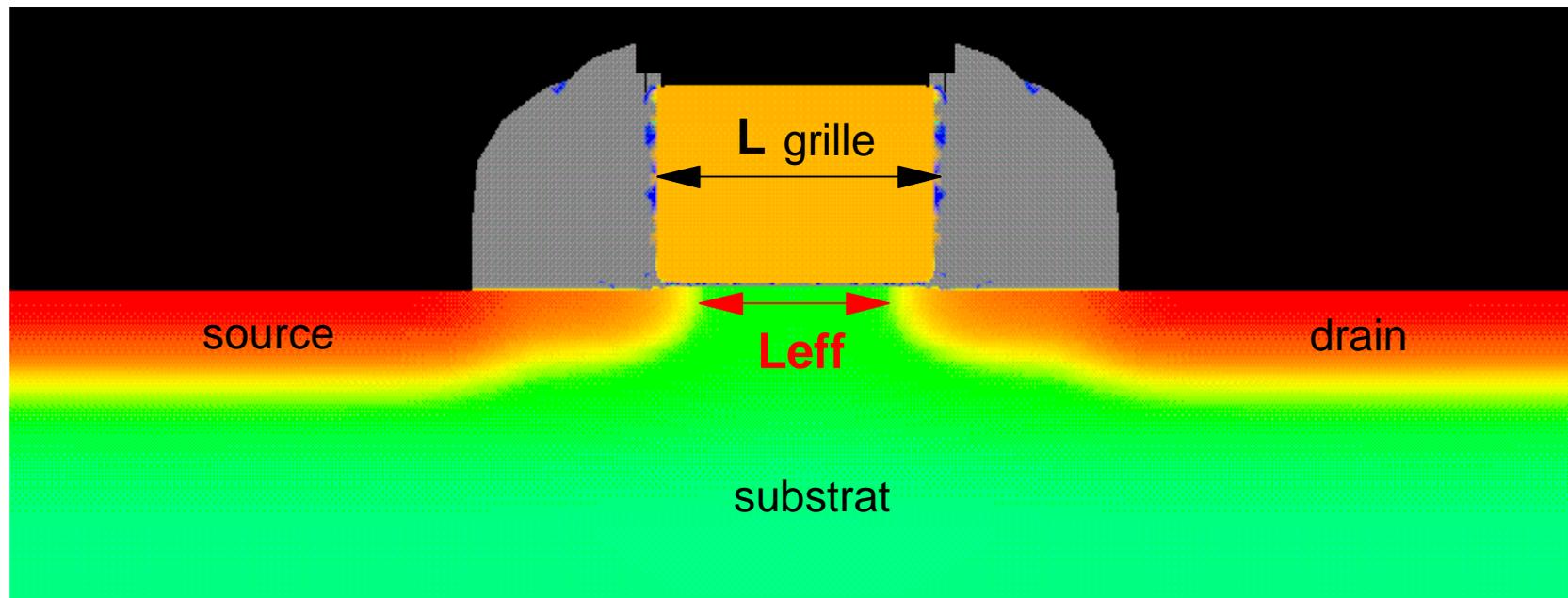
le choix des matériaux est guidé par:

- propriétés électriques
- propriétés mécaniques
- propriétés thermiques
- inertie chimique
- sélectivité d'attaque chimique
-
- coût et disponibilité



IBM Un controle des dopages horizontaux et verticaux

La logique CMOS haute performance

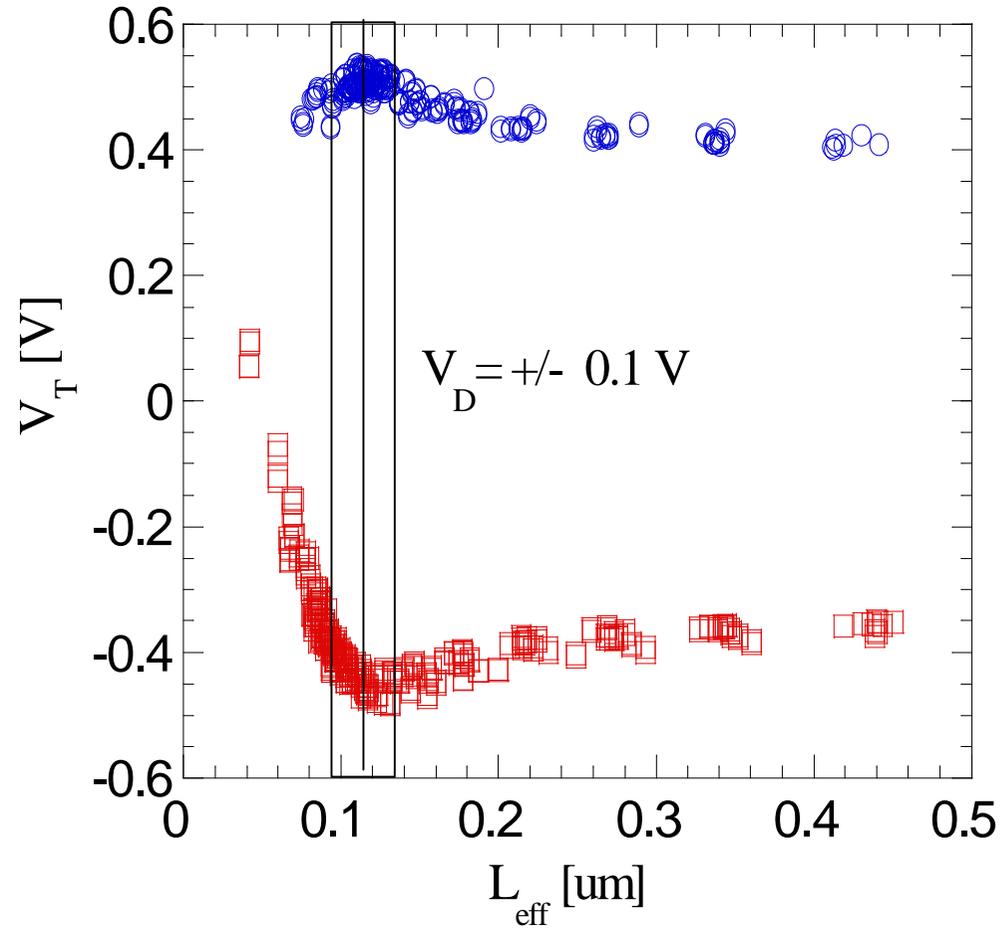


- la performance est définie par le contrôle de la dimension du canal, L_{eff}

source : simulation d'un transistor 0.25 μm (Suprem4)



La logique CMOS haute performance

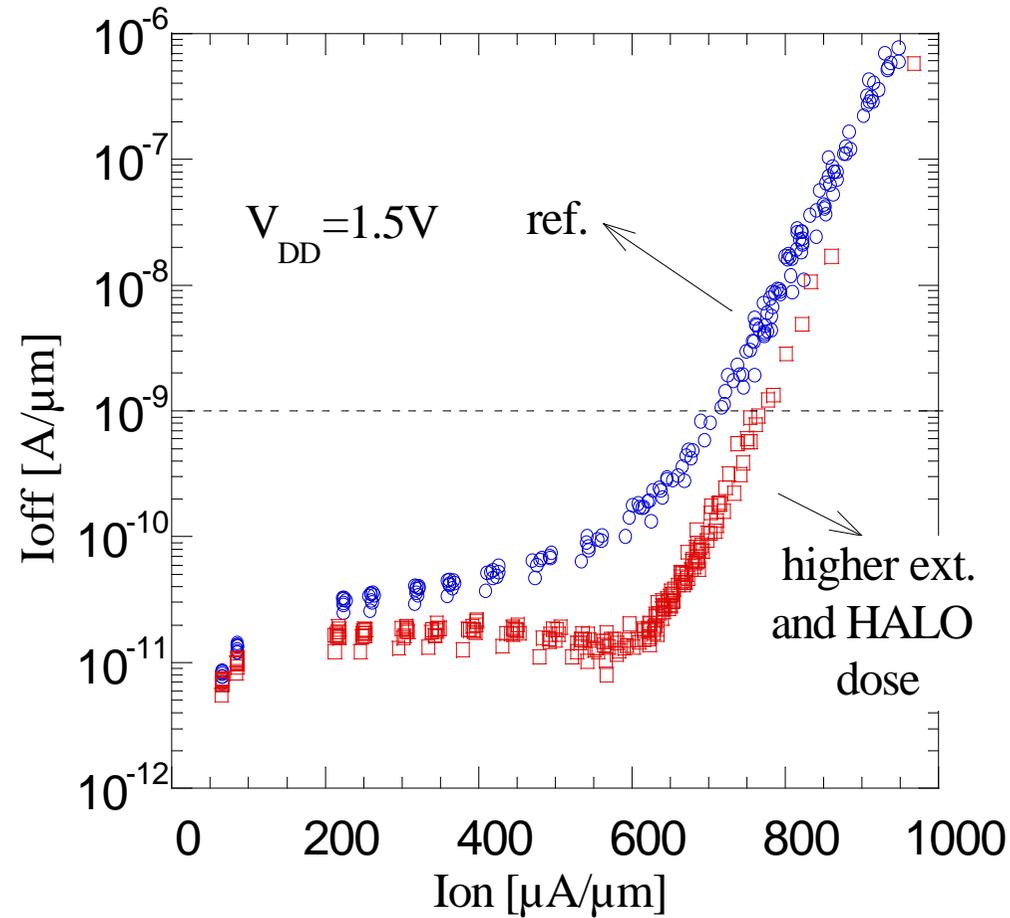


✓ le contrôle du dimensionnel de la longueur de grille est impératif pour la performance

source : procédé 0,13 μm IMEC, H. Maes



La logique CMOS haute performance

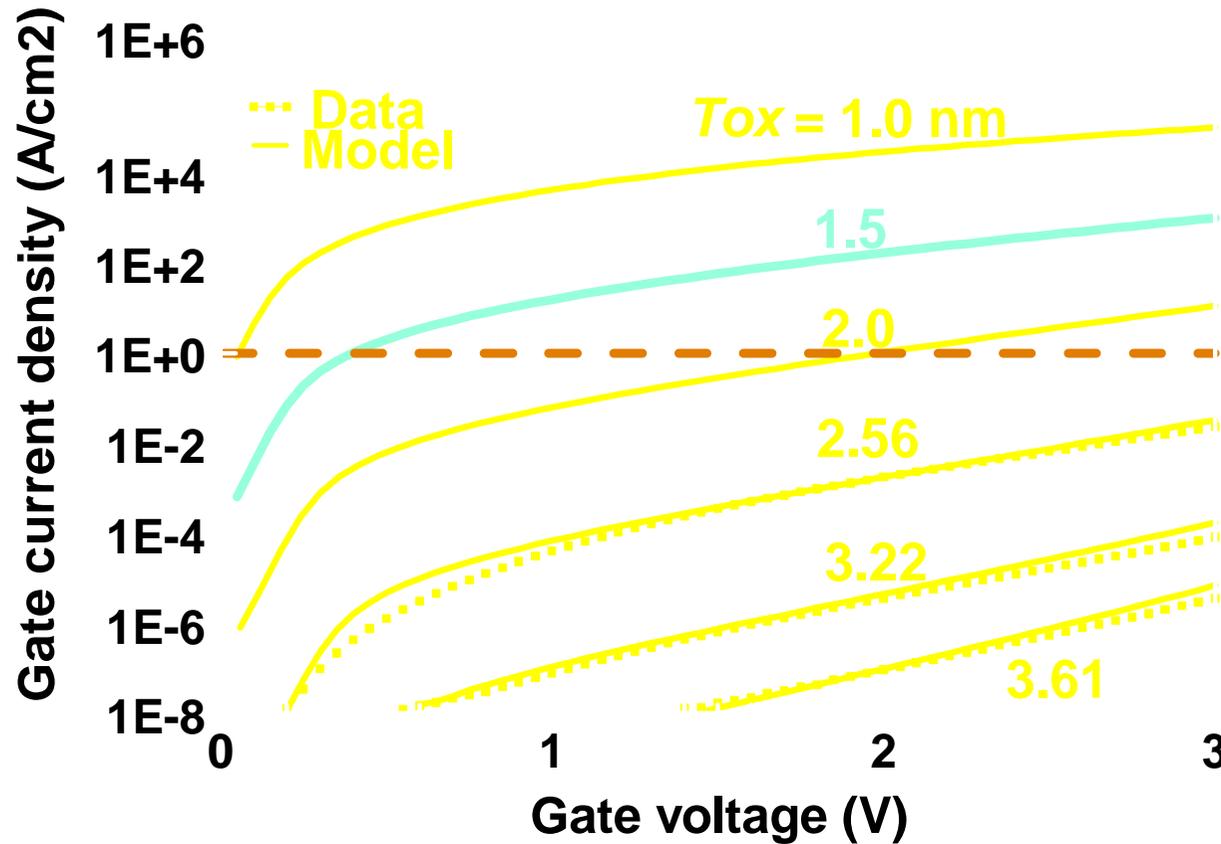


✓ compromis performance (I_{on}) et courant de fuite (I_{off})

source : procédé 0,13 μm IMEC, H. Maes



Courant de fuite d'une grille SiO₂ (100 nm)

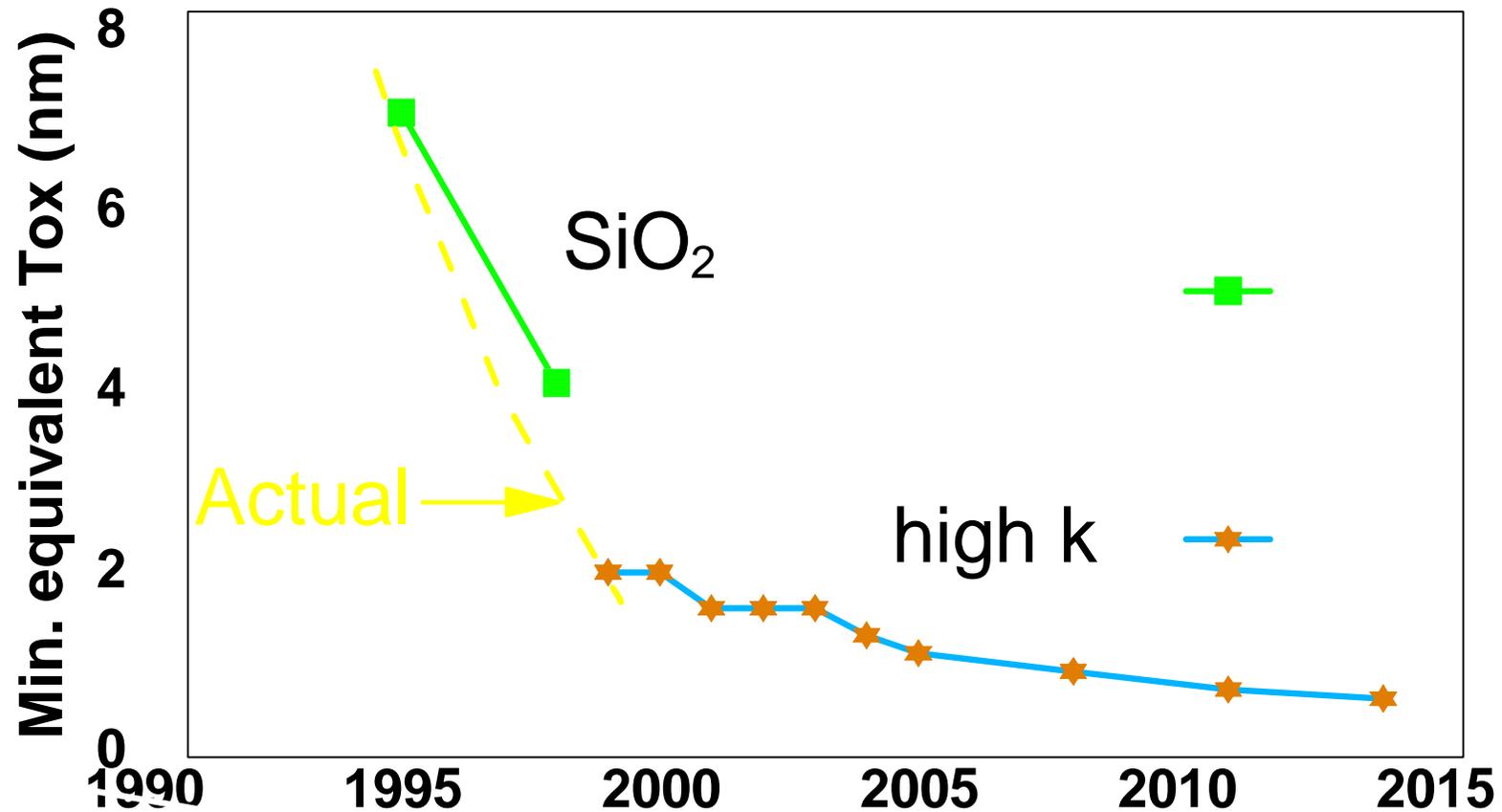


$$J = \alpha E \exp - (\beta / E)$$

✓ remplacer SiO₂ par un matériau plus épais : "high k"

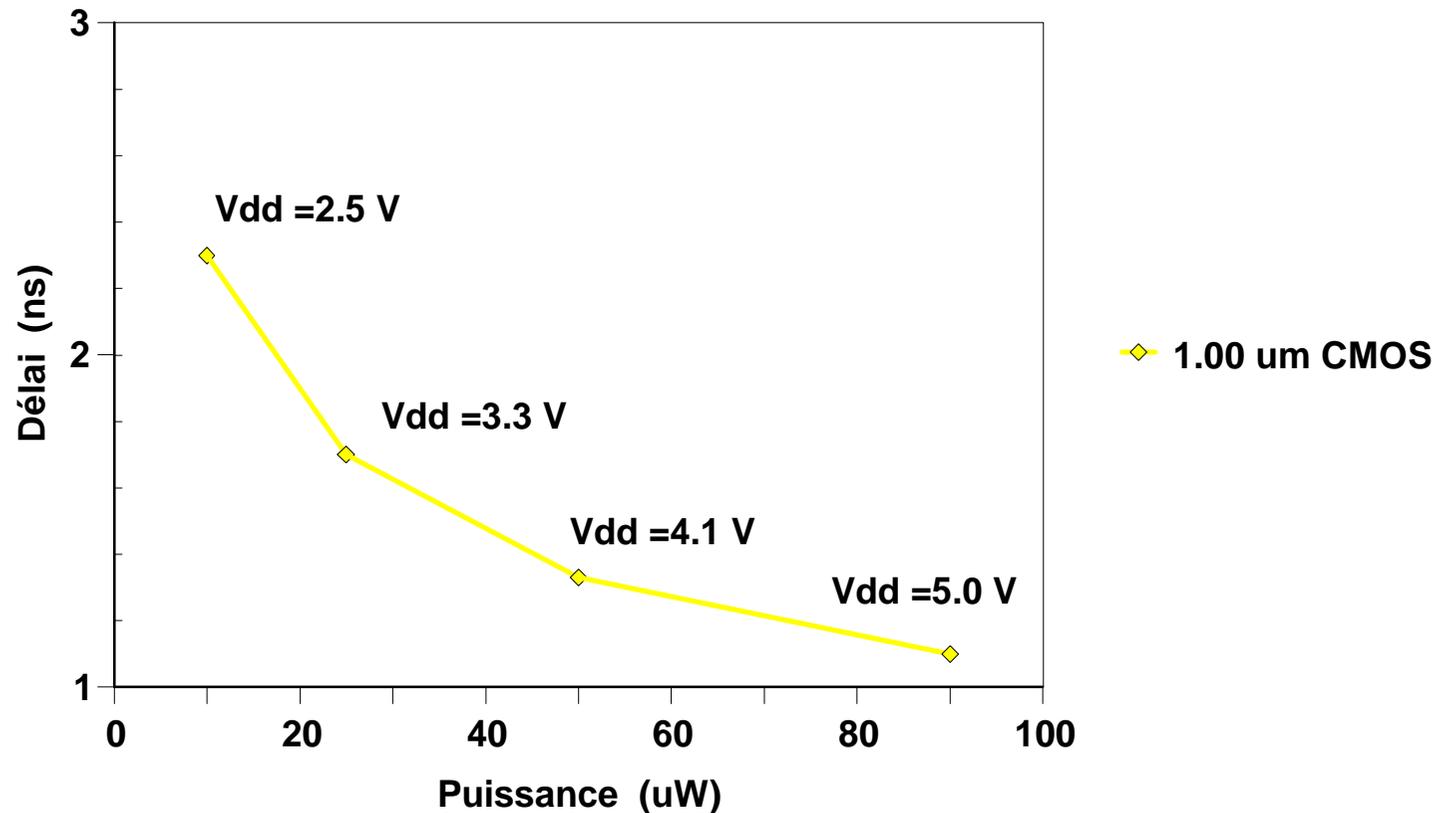


La logique CMOS haute performance : épaisseur du diélectrique de grille



La logique CMOS haute performance

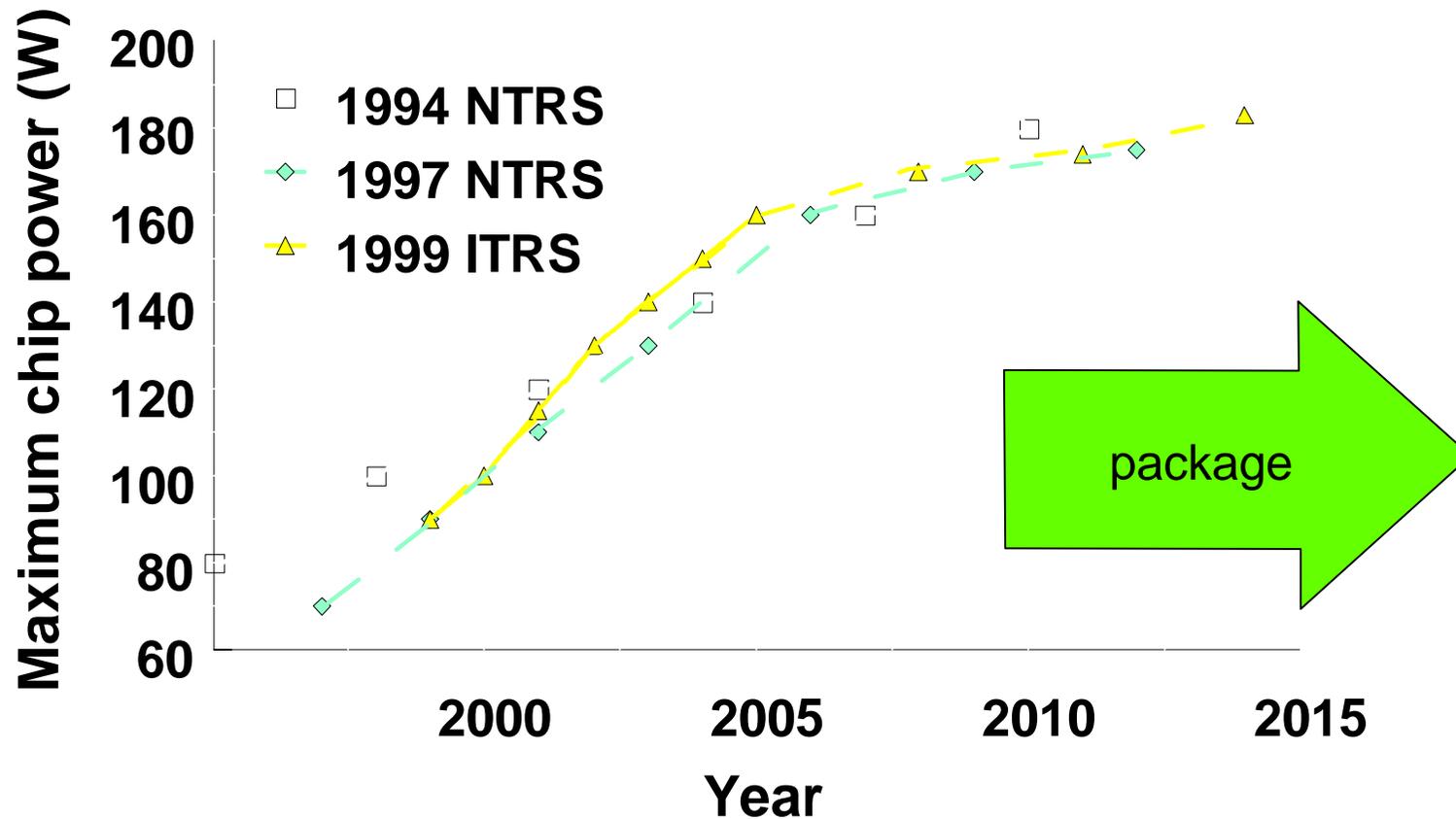
exemple : délai d'une porte NAND3



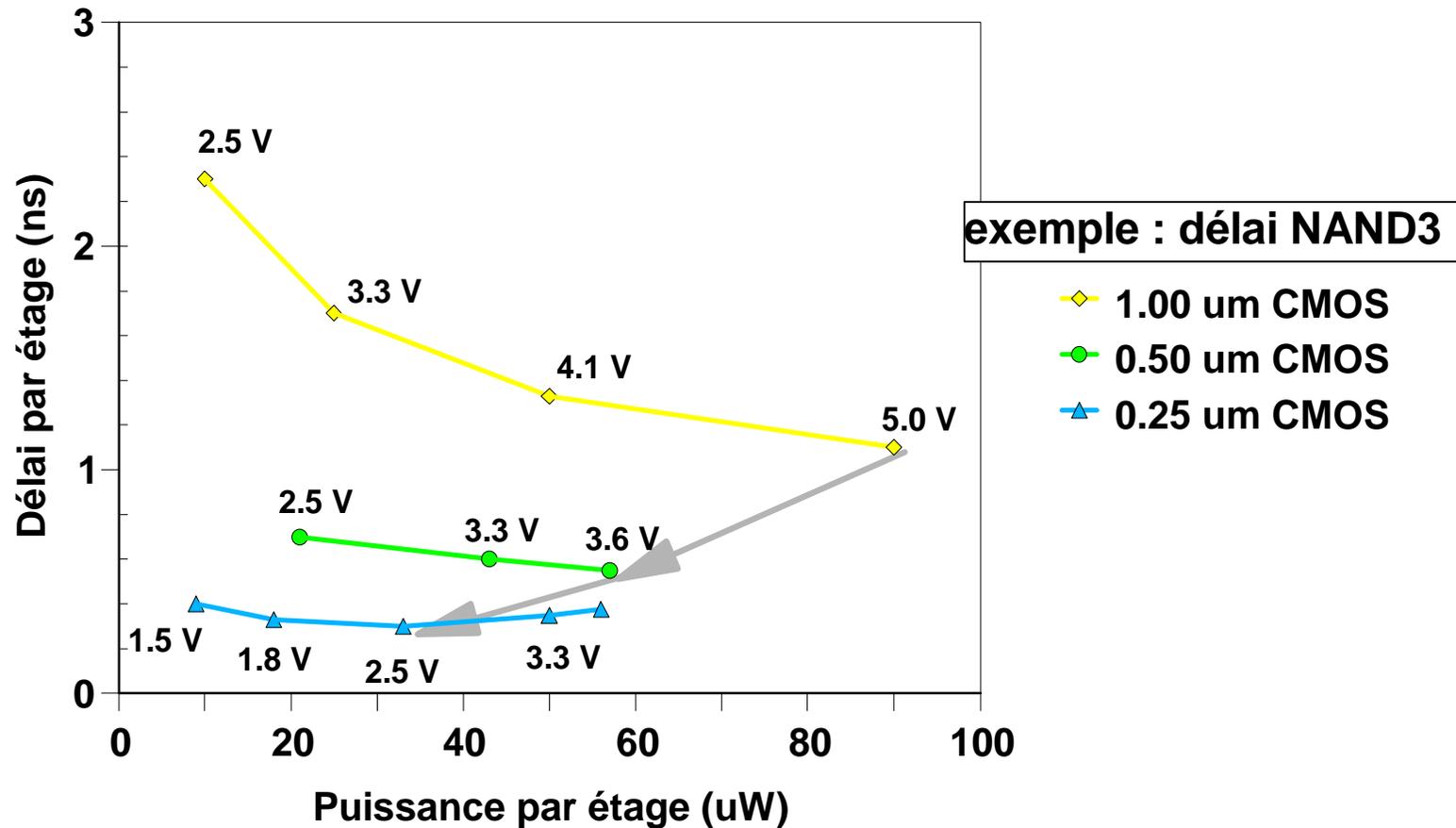
- ✓ utiliser une tension d'alimentation la plus élevée possible : compromis fiabilité
- ✓ l'intégration maximale est fixée par la puissance dissipée : compromis packaging



Evolution de la puissance dissipée des microprocesseurs



La logique CMOS haute performance



- ✓ la performance des technologies augmente avec l'évolution de la litho
- ✓ la puissance consommée par porte diminue



Les principaux challenges en procédé "front-end" d'ici 2005 :

le "grand challenge": le remplacement rapide de SiO_2

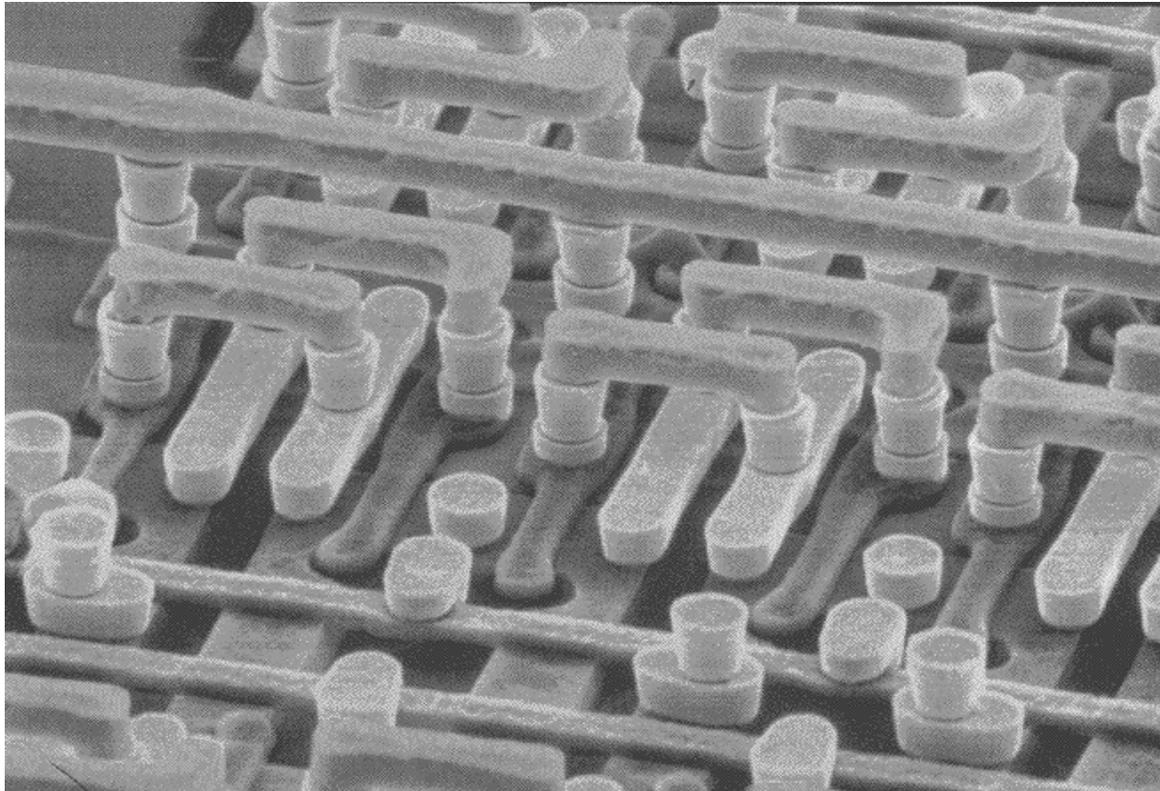
- ✓ dérivés nitrurés et diélectriques à fort k
- ✓ intégration de cellules DRAM dans un procédé CMOS
- ✓ jonctions ultra fines
- ✓ contrôle du dimensionnel de grille
- ✓ métrologie

source : ITRS 1999, p 106



Le délai d'un circuit est contrôlé par :

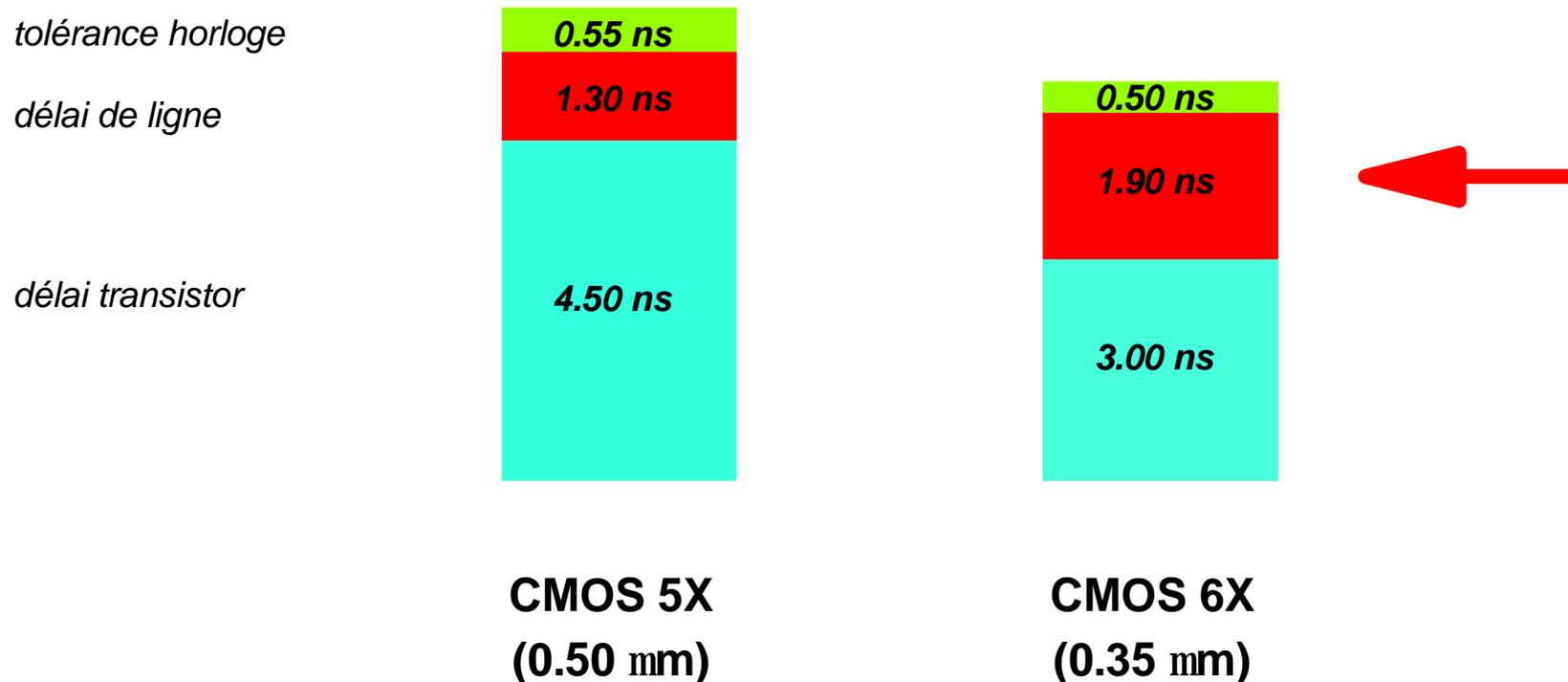
- le délai intrinsèque du transistor
- le retard (RC) apporté par la propagation du signal dans les fils



Exemple de la structure tridimensionnelle réalisée
photo SEM du câblage d'une mémoire statique après attaque chimique de l'oxyde

Evolution du délai d'un chemin critique d'un processeur:

✓ pour les microprocesseurs, la longueur des fils est fixée par la taille des chips (et non par les règles de dessin)



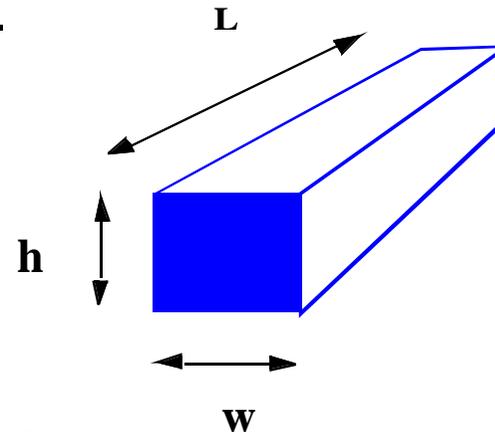
source : IEDM '96 , E. Davidson IBM



Scaling "inverse" des interconnexions:

$$R = \rho L / wh$$

$$C = \varepsilon L w / t_{ox}$$



$k = 0.7$
 $k_l = 0.85$

scaling
"conventionnel"

$R_k = R k_l / k^2$ $C_k = C k_l$
 $R_k C_k = R C (k_l / k)^2$
 $R_k C_k = 1.47 R C$

$k = 0.7$
 $k_l = 0.85$
 $k' = 0.85$

scaling
"inverse"

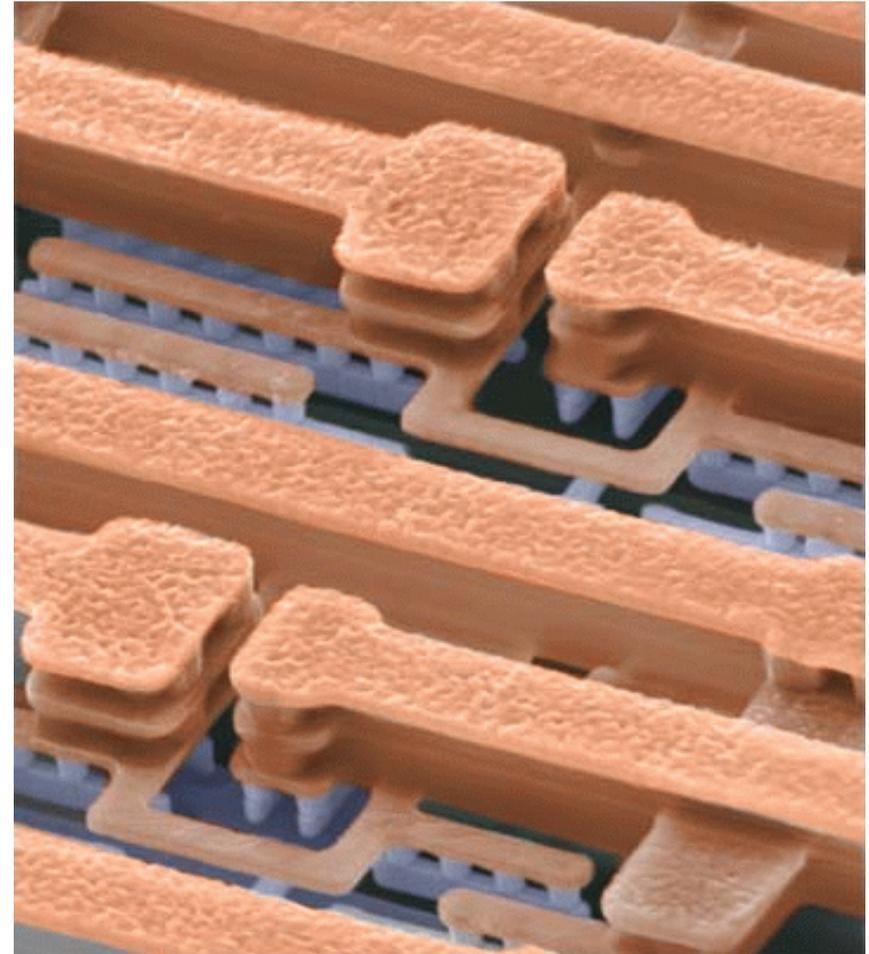
$R_k = R k_l / k k'$ $C_k = C k_l k / k'$
 $R_k C_k = R C (k_l / k')^2$
 $R_k C_k = R C$



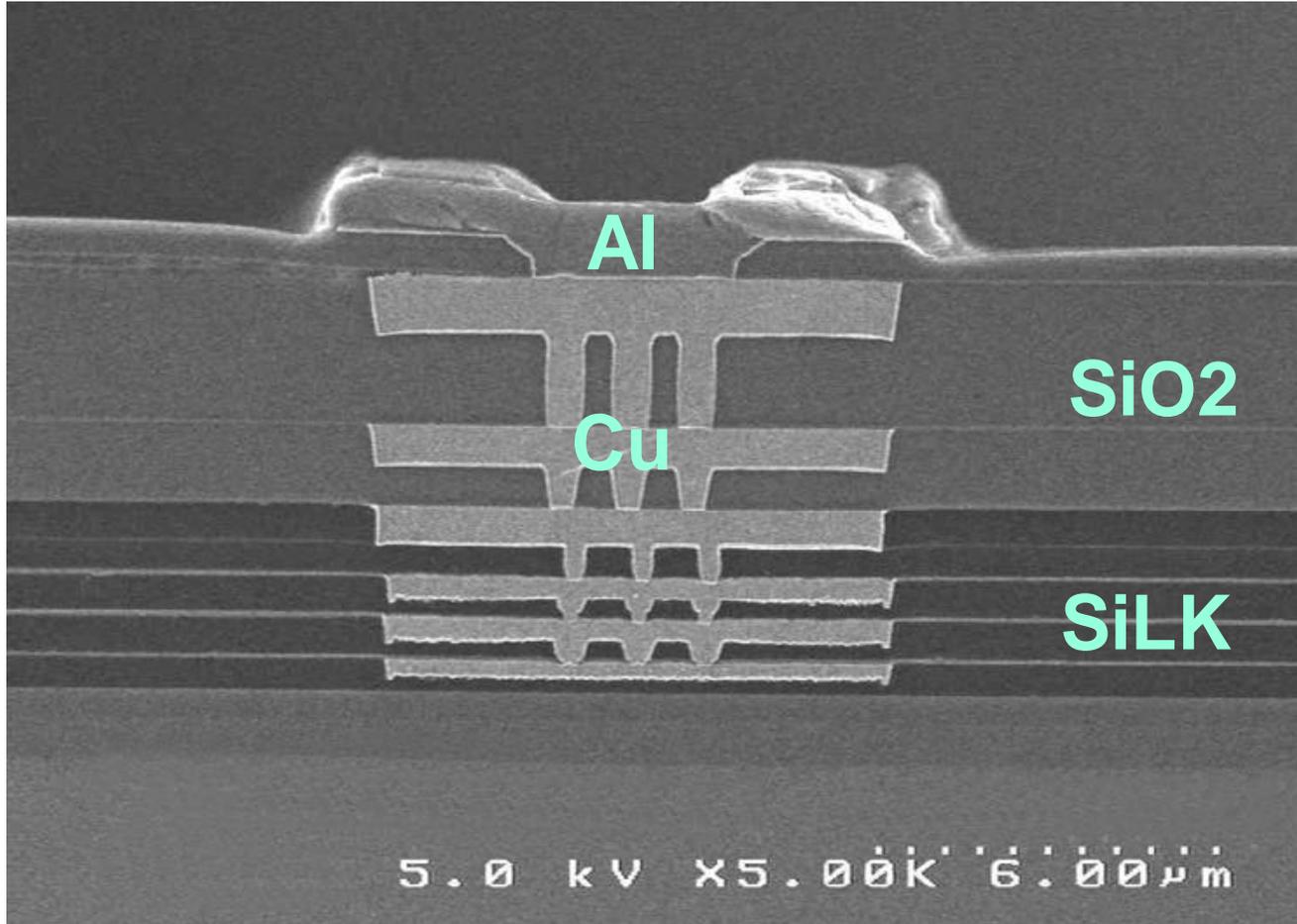
La métallurgie Cu :

Le cuivre : un compromis meilleur que l'aluminium

- ✓ faible résistance (0.5 X Al)
- ✓ tenue aux fortes densités de courant
- ✓ dépôt à basse température
- ✓ diminution du délai RC de ligne



CMOS 0,13 mm : diélectriques à faible ϵ



Les 5 principaux challenges en procédé "back-end" (d'ici 2005) :

- ✓ introduction rapide de nouveaux matériaux
- ✓ nouveaux mécanismes de fiabilité introduits par ces matériaux
- ✓ intégration d'un procédé compatible avec tous ces matériaux (Cu, low k, barrières...)
- ✓ contrôle du dimensionnel imposé par des contraintes de performance
- ✓ intégration du procédé "back-end" sans impact sur les performances du transistor

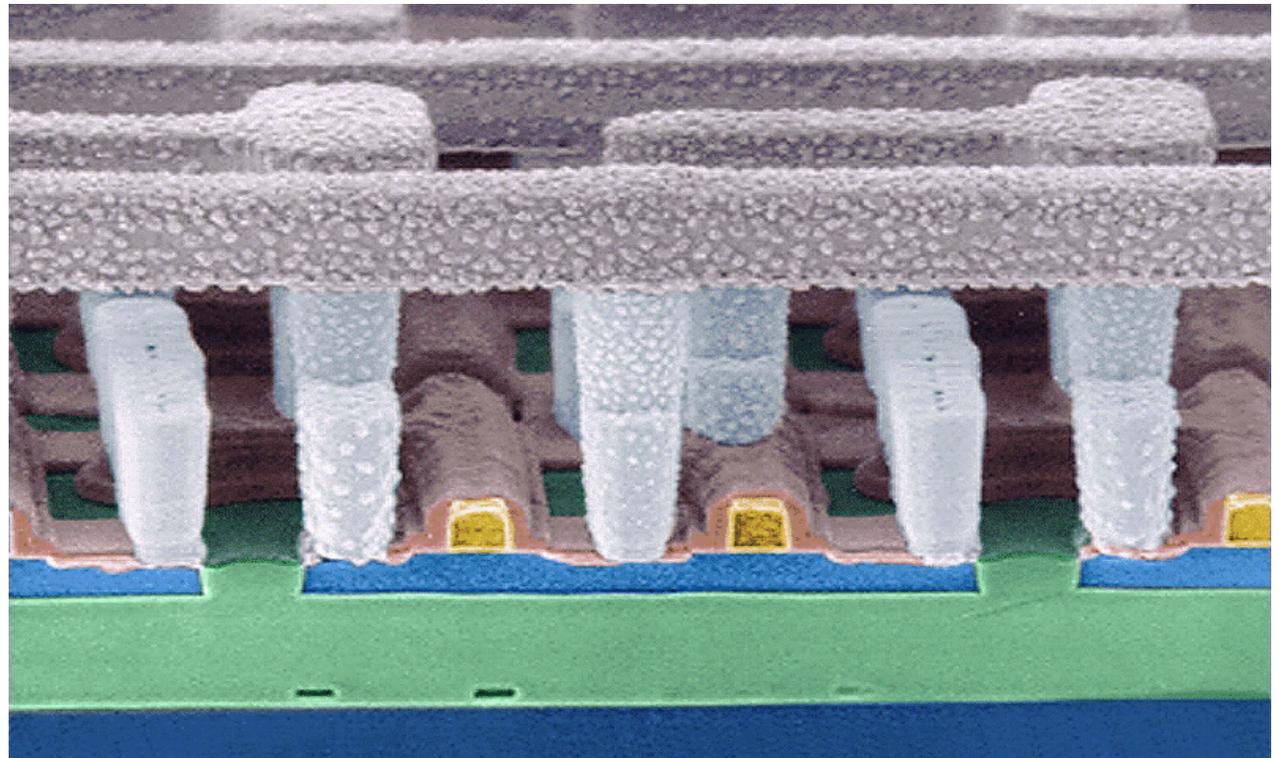
source : ITRS 1999, p 164



Le silicium sur isolant :

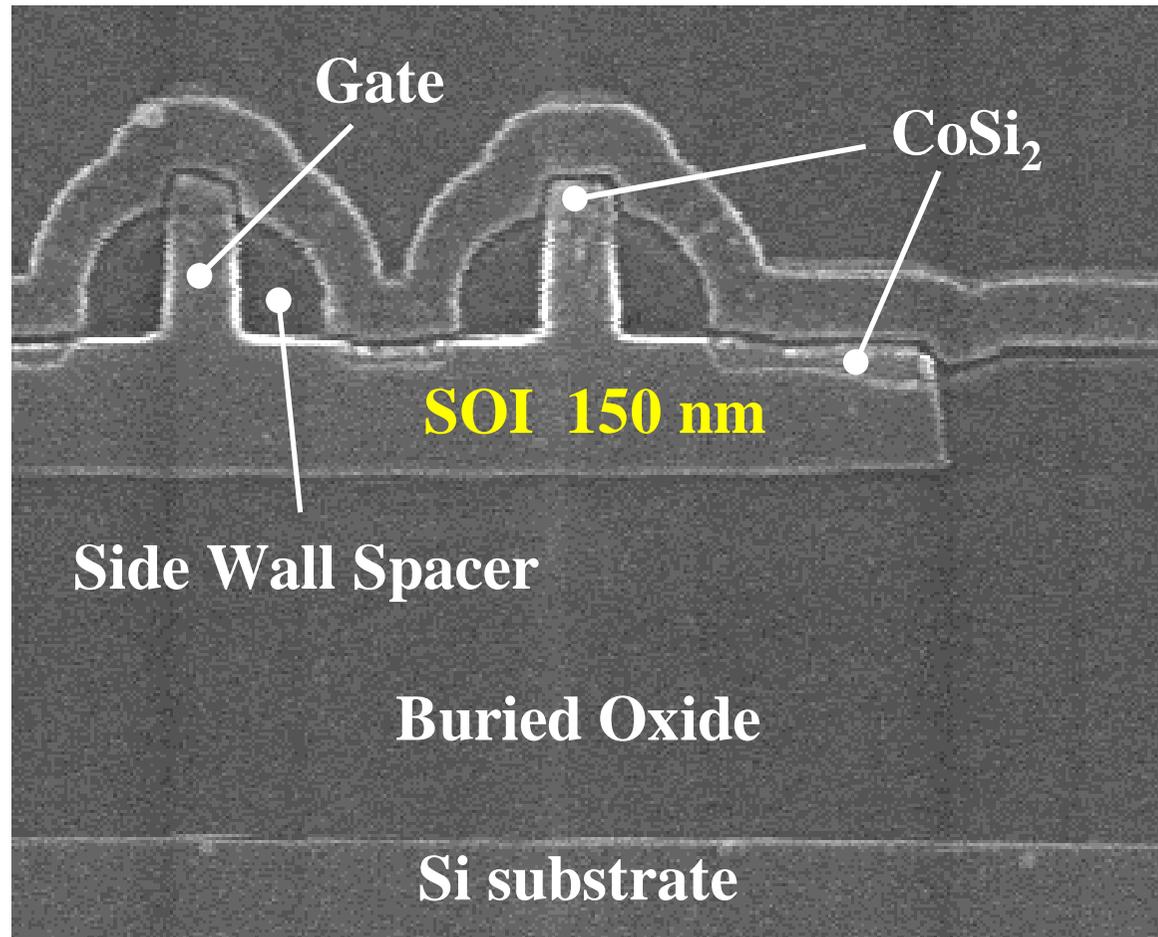
Changement du substrat
Si massif > Si sur isolant

- ✓ *élimination des capacités source - drain / substrat*
- ✓ *augmentation de la performance*



source : IBM, CMOS SOI 0,18 μm , Cu

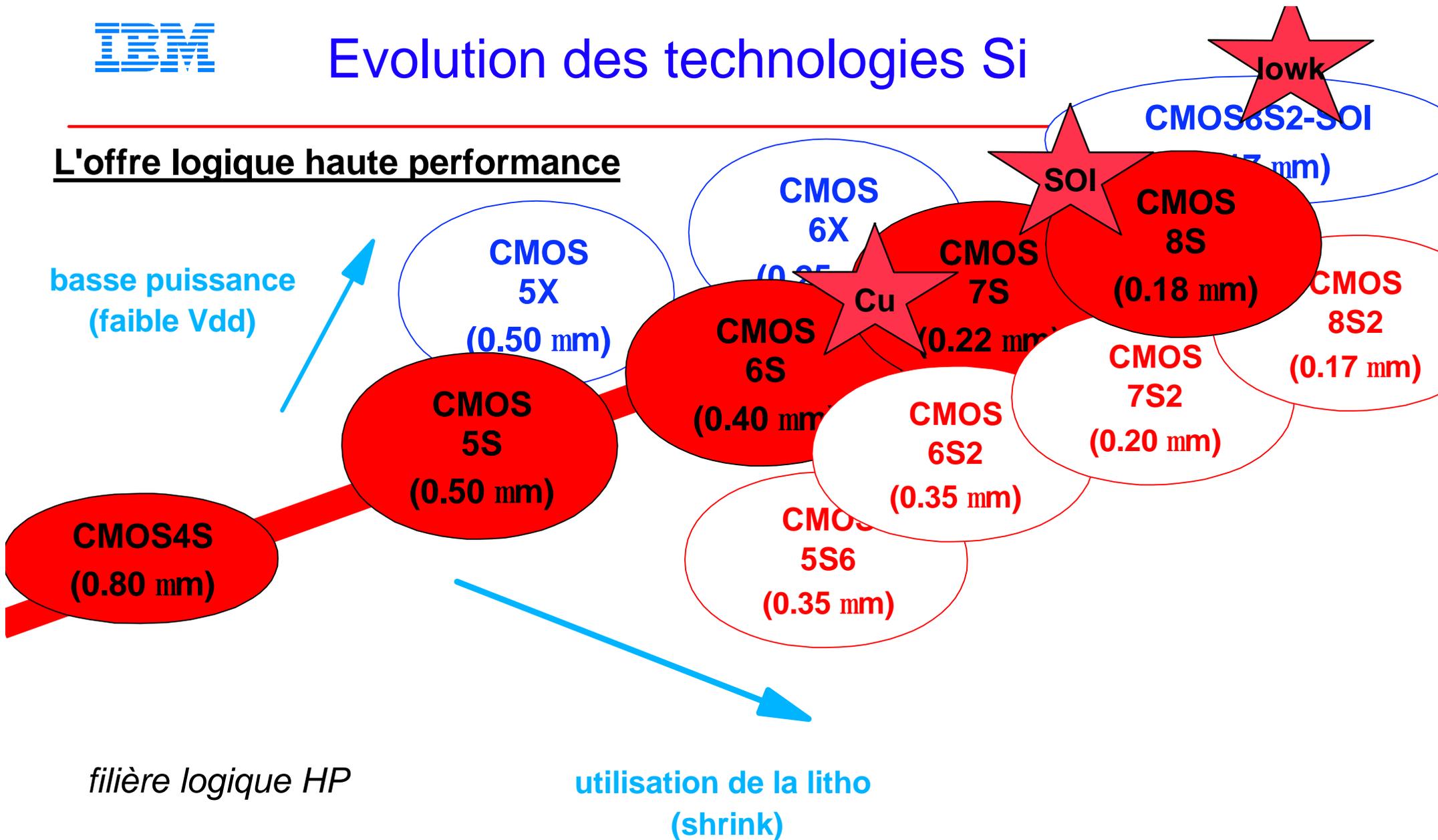
Le silicium sur isolant :



source : Fujitsu

L'offre logique haute performance

basse puissance
(faible Vdd)



filière logique HP

utilisation de la litho
(shrink)



Les améliorations de performance

amélioration du câblage

diélectrique faible ϵ

cuivre

planarisation métal

CMOS4S
(0.80 μ m)

CMOS
5S
(0.50 μ m)

CMOS
6S
(0.40 μ m)

CMOS
7S
(0.22 μ m)

CMOS
8S
(0.18 μ m)

CMOS
9S
(0.13 μ m)

SOI
CoSi₂

implants Sn
puits retrogrades

grille n+/p+
isolation STI

amélioration du transistor





Evolution des technologies Si

Introduction

Les DRAMs

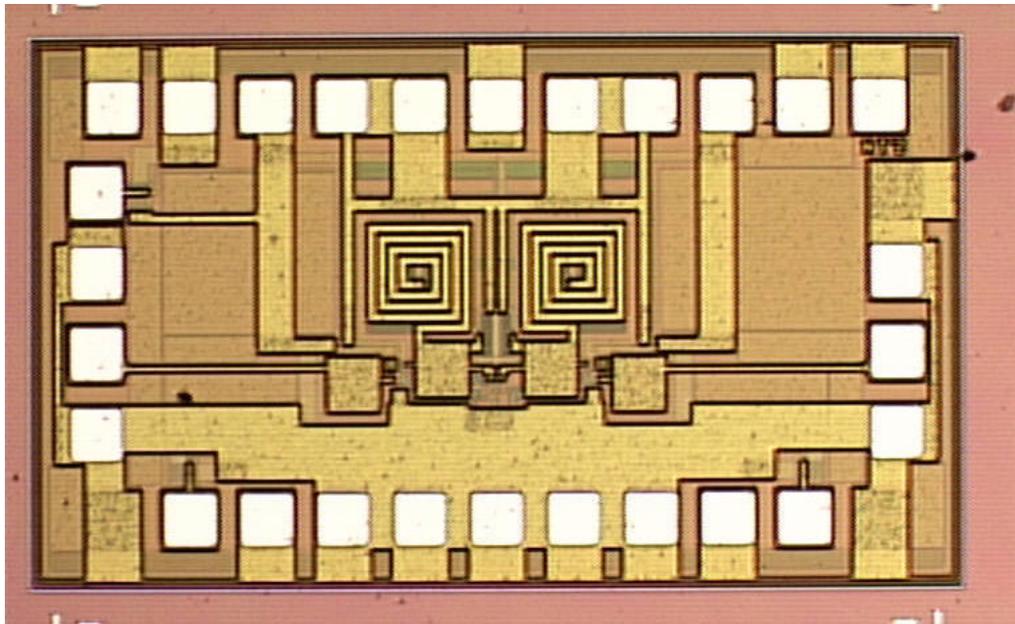
La logique haute performance

Les technologies analogiques



Evolution des applications

années	application phares	technologie	produits
60 - 70	grands ordinateurs	bipolaire	mémoire, CPU, I/O
80 - 90	PC	CMOS	mémoire, CPU, I/O
00 - 10	communication	BiCMOS	système sur un chip



*ex: prototype d'un oscillateur
5GHz en SiGe*

De nouveaux besoins technologiques:

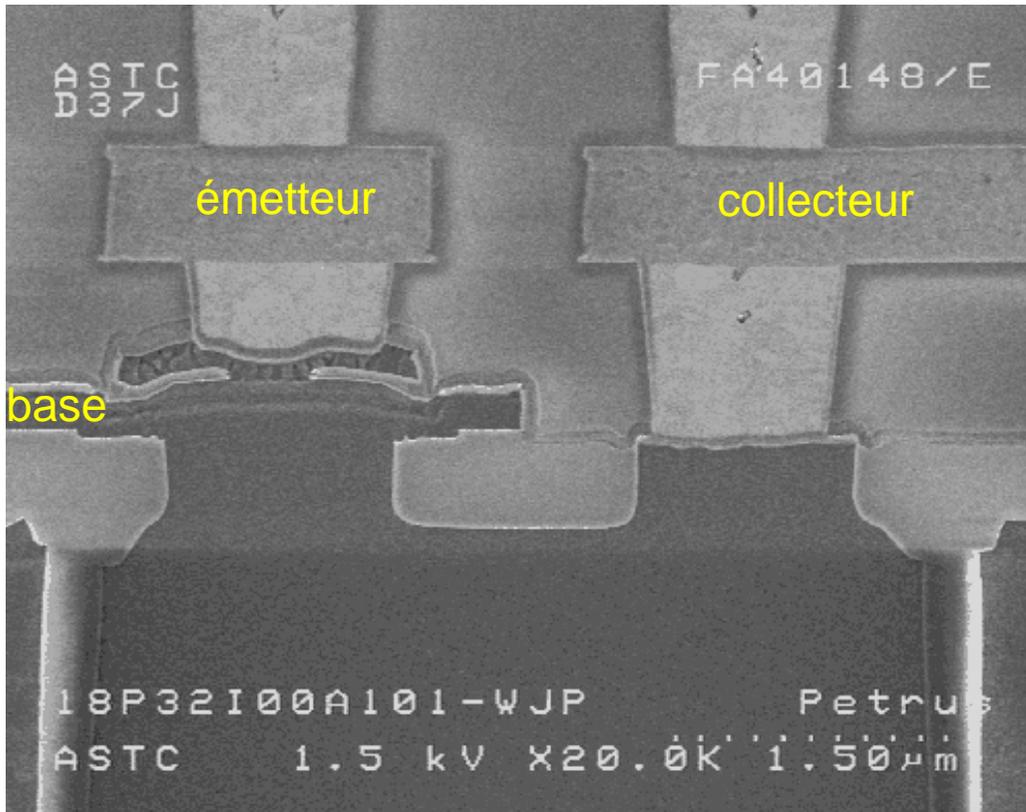
- un transistor bipolaire performant
- des éléments passifs (R, L, C)
- du CMOS dense
- des mémoires embarquées

Des spécifications contradictoires:

- faible coût (grand public)
- haute performance
- basse puissance (portable)
- mises sur le marché rapides



L'offre technologique "mixed signal": le BiCMOS



ex: un transistor bipolaire SiGe

bipolaire:

- performant $f_t > 10X$ fréquence app.

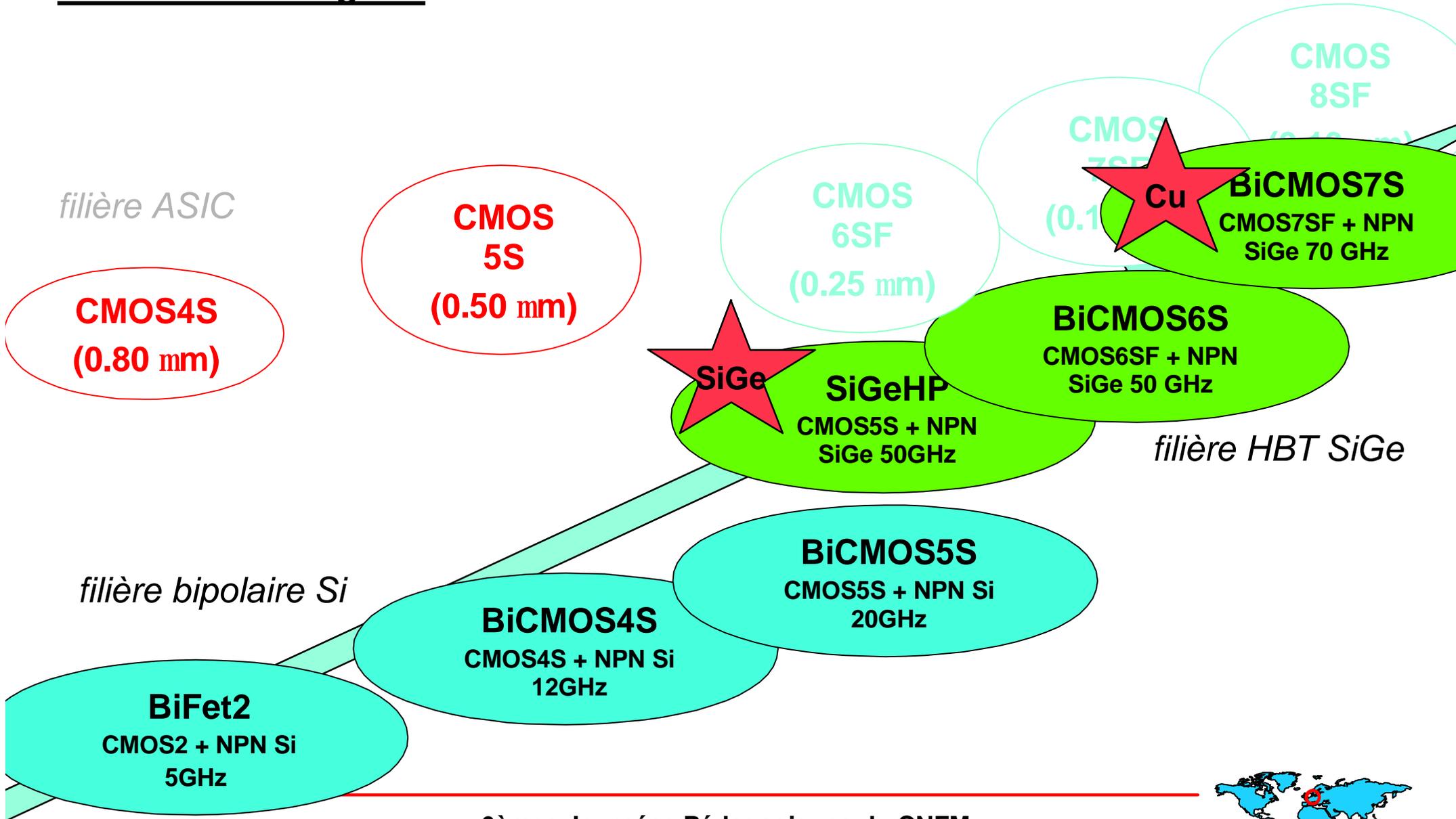
éléments passifs:

- résistances poly et implantées
- capacités (forte valeur)
- inductances (fort Q)

CMOS:

- dense
- multiple épaisseurs d'oxyde
- multiple V_t
- librairie disponible

L'offre "mixed signal"

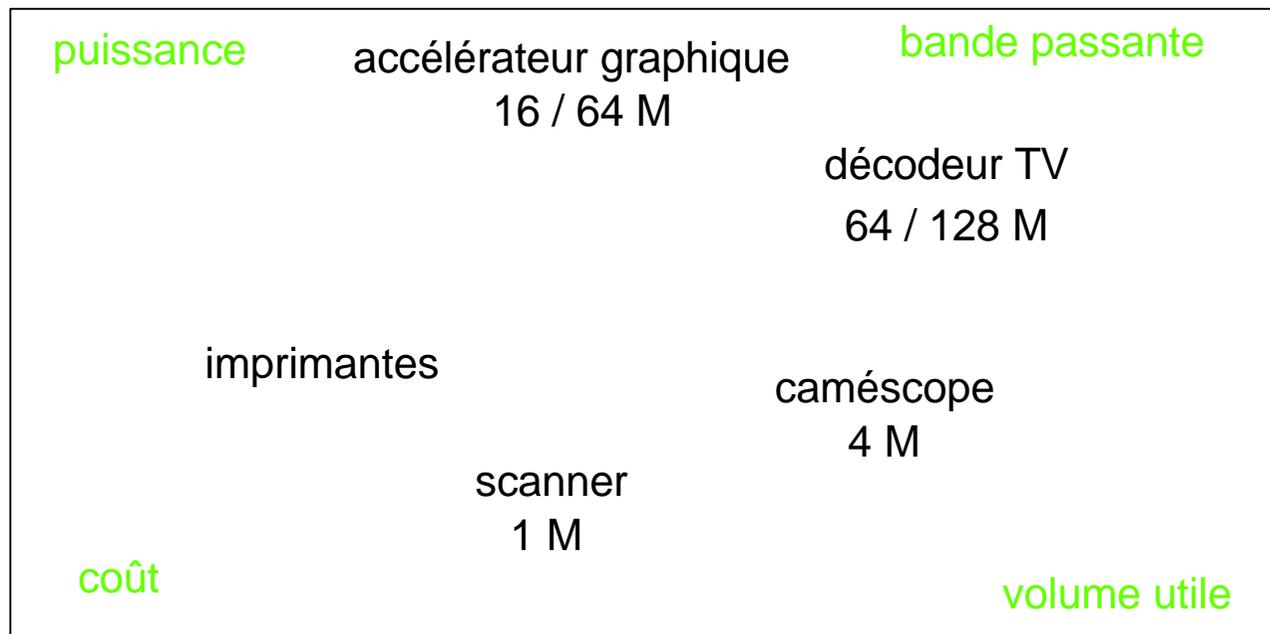


La technologie e-DRAM, un support pour le SOC ?

En techno 0.25 μm :

- production en volume courant '99
- la logique est suffisamment dense (10millions de portes logiques disponibles)
- taille DRAM 1 μm^2 , taille SRAM 10 μm^2

La vision de Samsung (leader mondial DRAM)



L'infrastructure technologique pour le Système sur un chip :

> une technologie modulaire unique de hautes performances:

Modules	Options
caissons	double / triple
oxydes	simple / double
analogiques	résistances/capacités/inductances/aucun
mémoires	eFLASH/eDRAM/eSRAM/aucune
métaux	3 / 4 / 5 / 6 / 7

source : IEDM '98, D. Chin Samsung.

Challenges techniques:

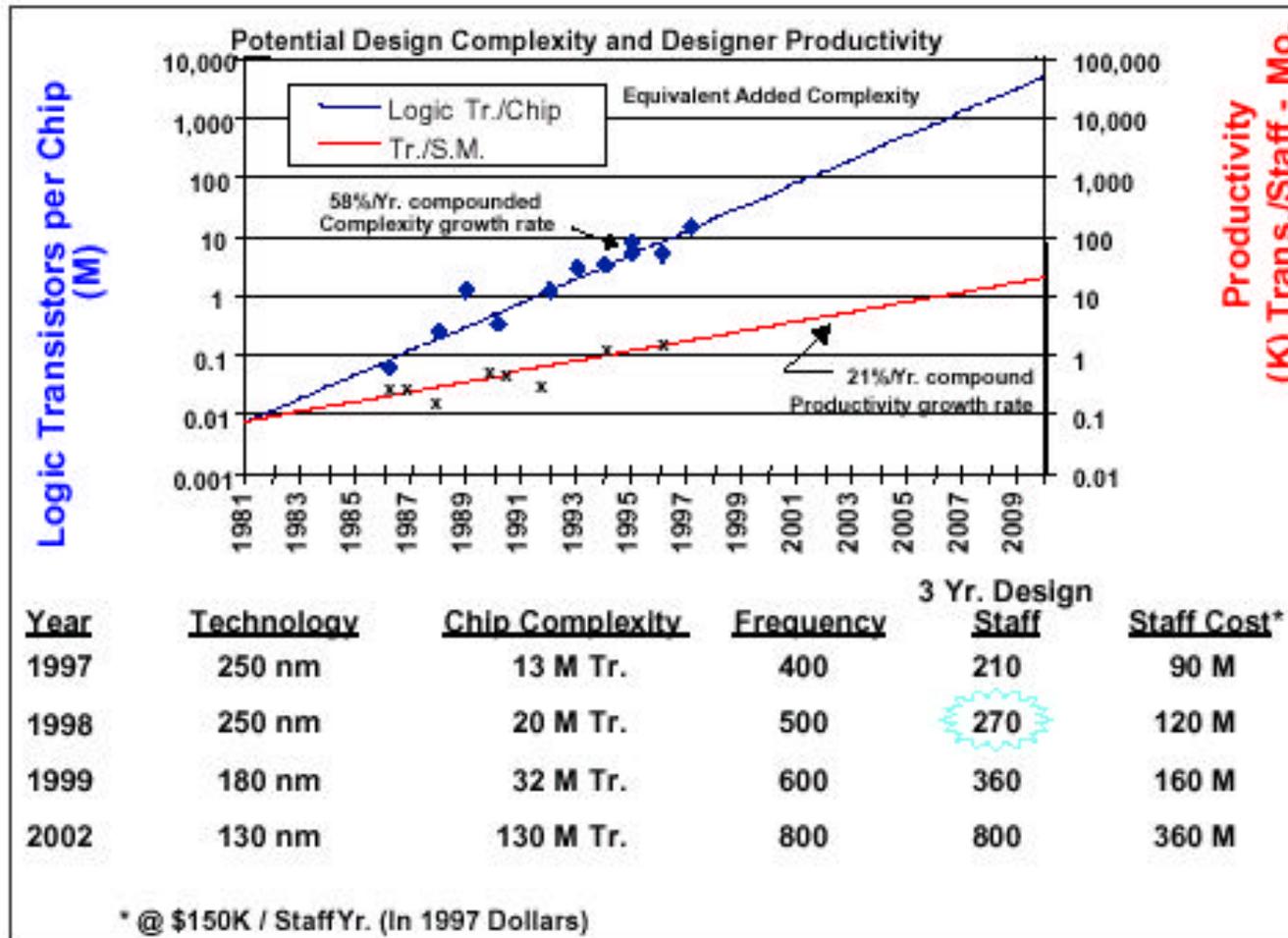
- posséder tous les éléments technologiques nécessaires
- logistique de ligne multiprocédés / multi produits
- outils de conceptions
- test d'un chip ou coexistent mémoire, logique rapide, analogique

Challenges économiques:

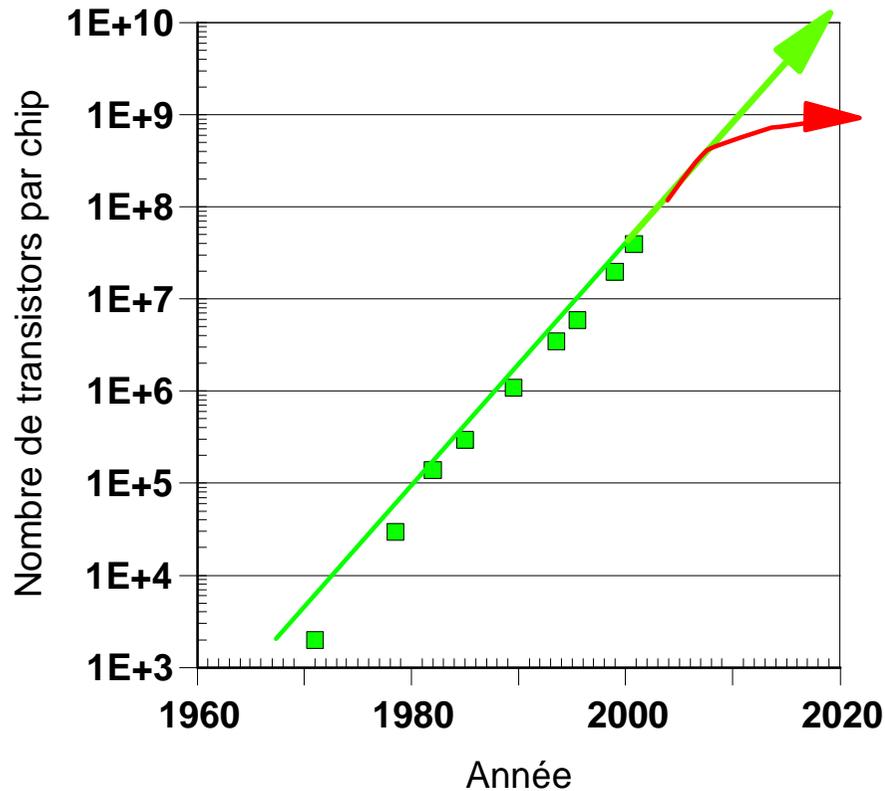
- démontrer la rentabilité de l'approche



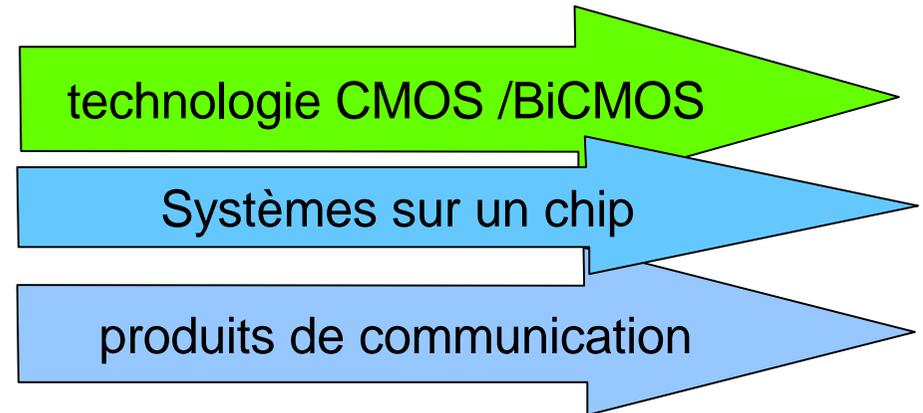
Le point clef pour le Système sur un chip : la maîtrise des couts de conception



Le futur :



A l'horizon 2005 :



Au delà de 2005 :

limites technologiques ?
 limites physiques ?
 limites économiques ?
 autres limites?



> pour plus d'information sur la roadmap ITRS, voir le site:

http://public.itrs.net/Files/1999_SIA_Roadmap/Home.htm

Trend

