



L'évolution des technologies Si

Michel Rivier

IBM Microelectronics

Laboratoire de développement des composants

Corbeil-Essonnes

rivier @ fr.ibm.com

Plan

introduction

les DRAMs : un véhicule pour la lithographie et la productivité

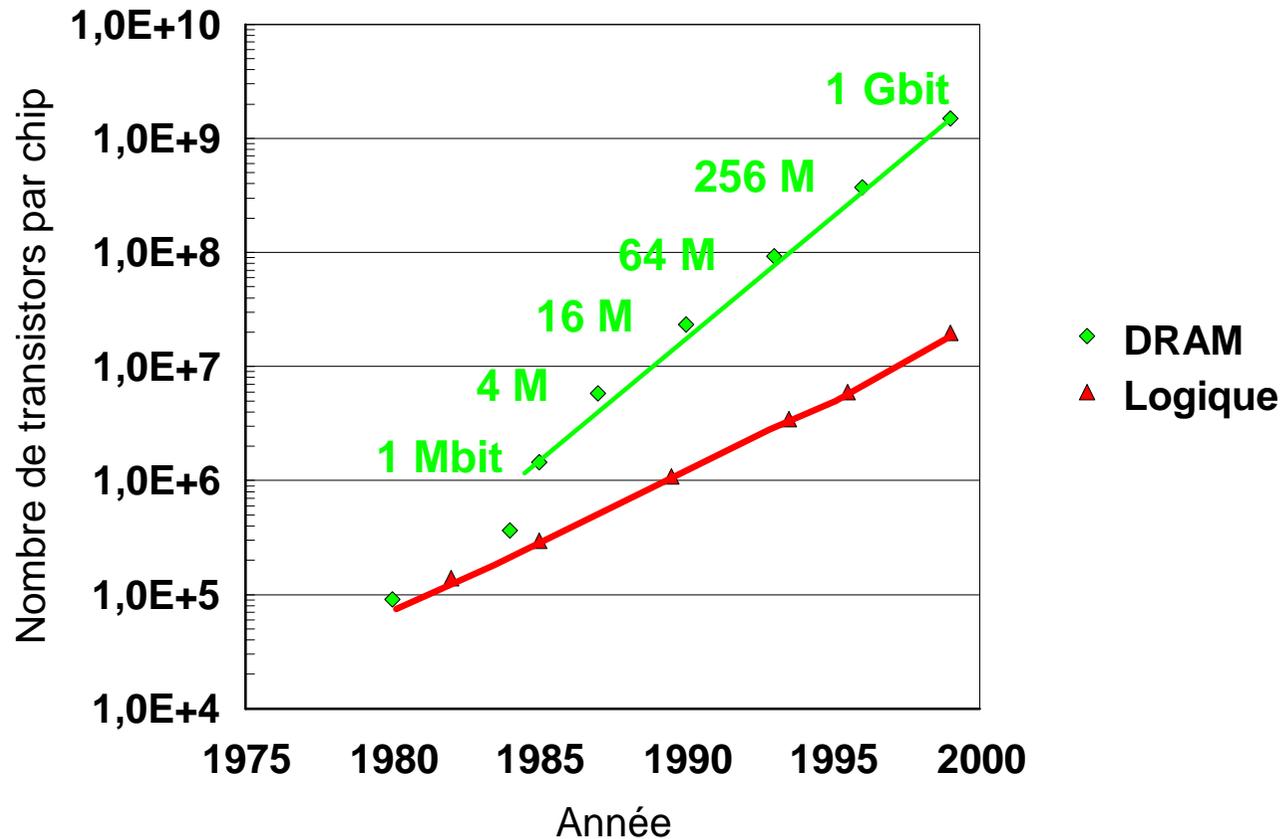
les microprocesseurs : la vitesse à tout prix

les technologies analogiques : le futur?



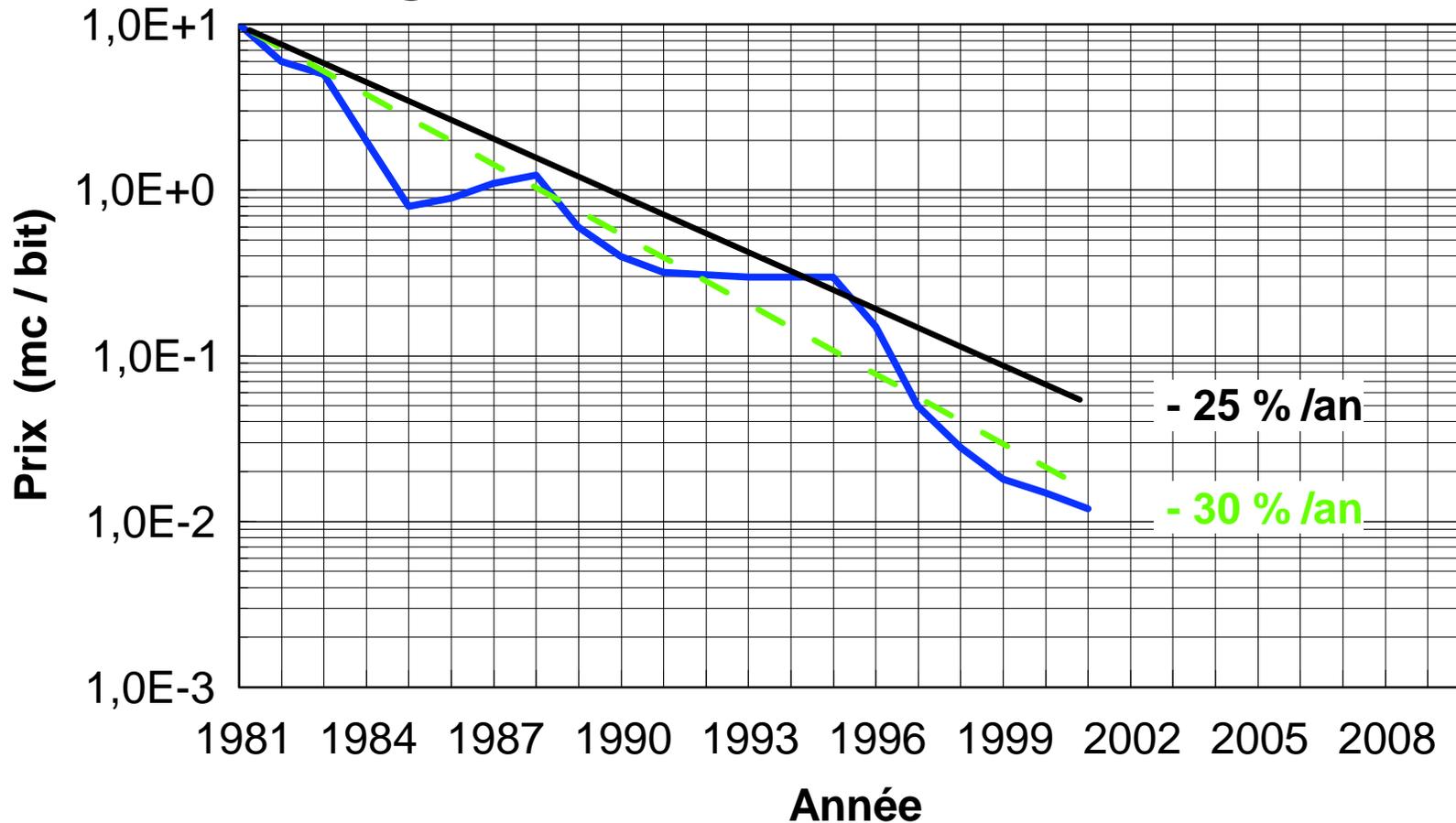
Une grande constante dans les semiconducteurs : la loi de Moore:

- la densité des composants double tous les 18 mois



La loi de Moore:

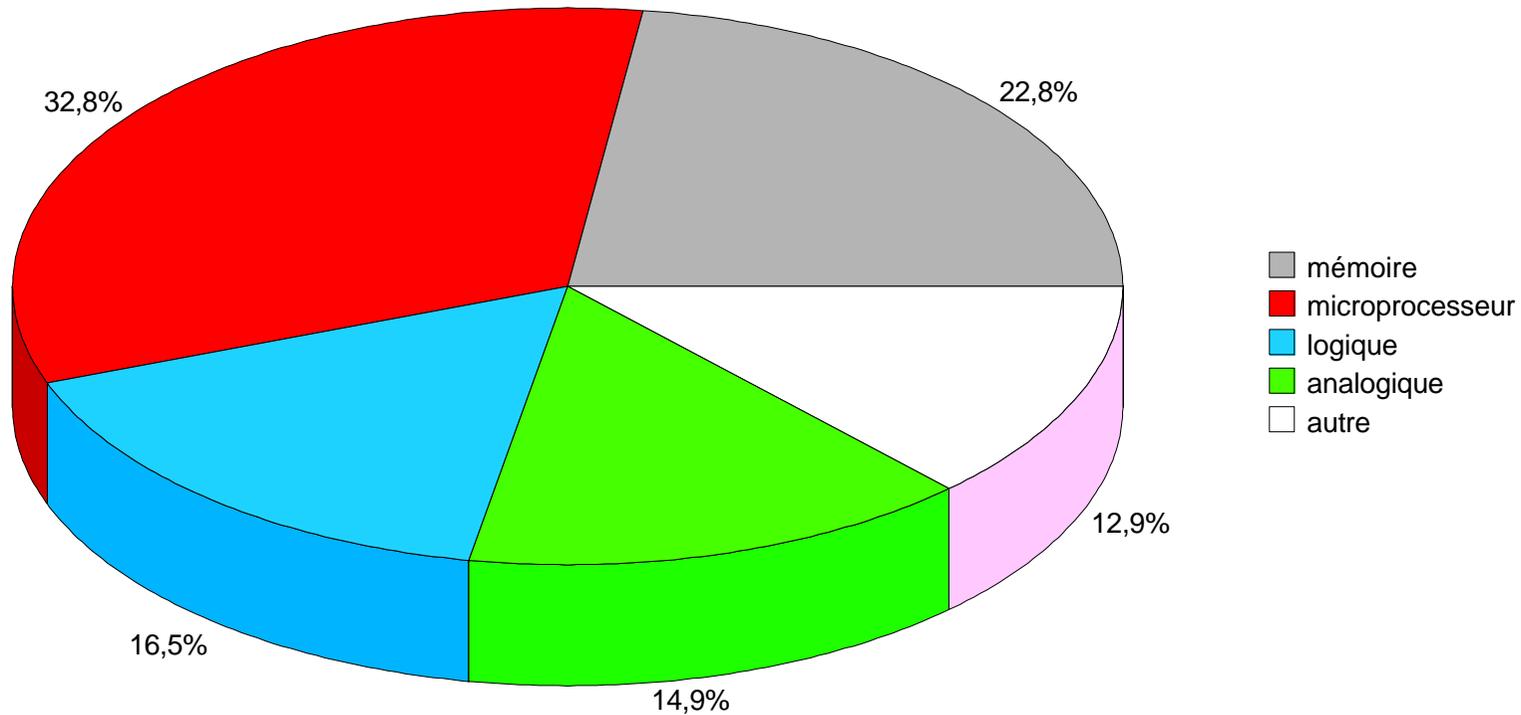
- principalement une loi économique : la diminution des prix justifie l'évolution des technologies



- pour toute génération, le prix minimum d'une DRAM est de \$ 4.



Les invariants du marché mondial des semiconducteurs :

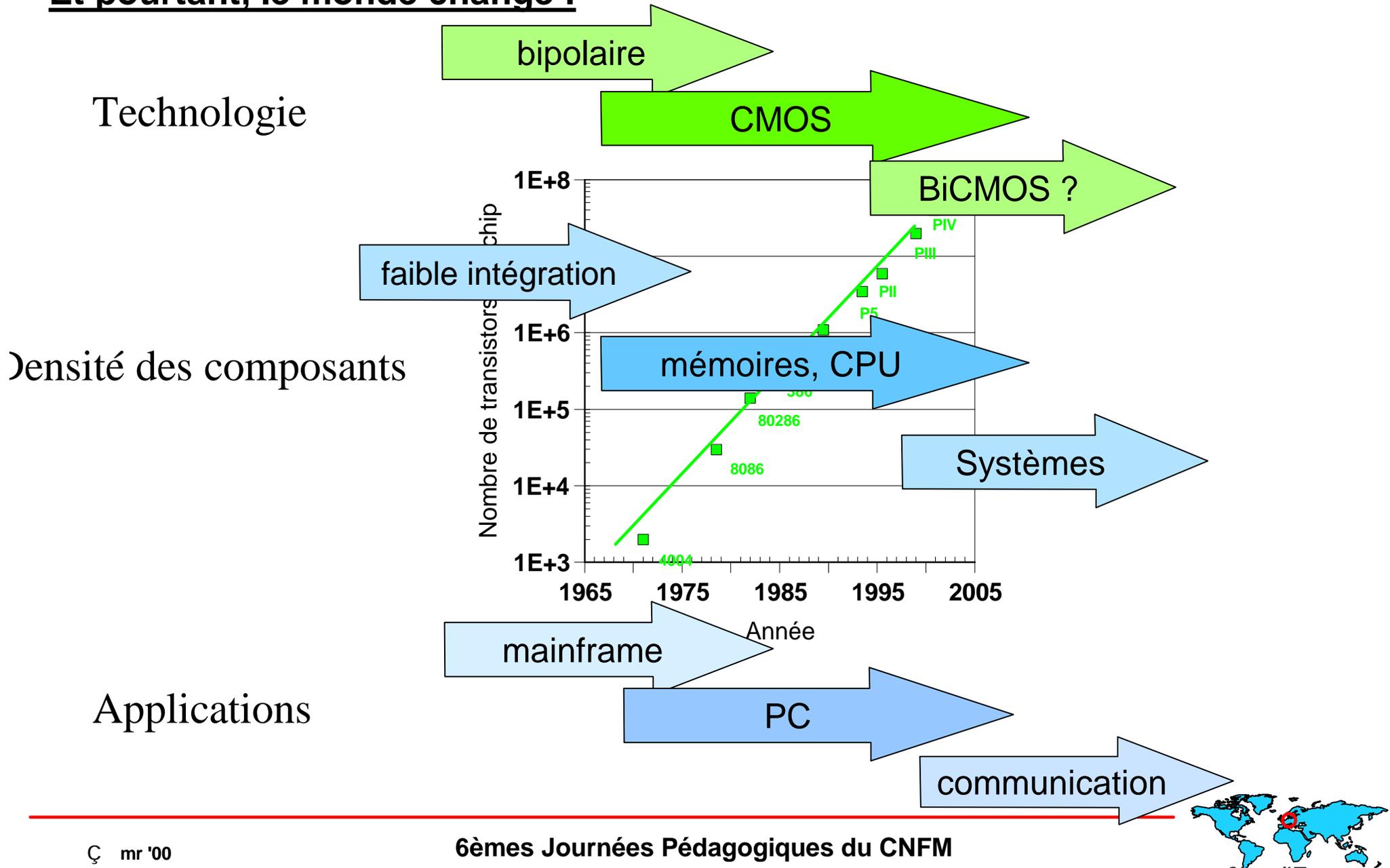


***marché '97 : 137 milliards de \$, croissance 17 % / an
répartition constante depuis '85***

source : Dataquest '98



Et pourtant, le monde change :





Evolution des technologies Si

Introduction

Les DRAMs

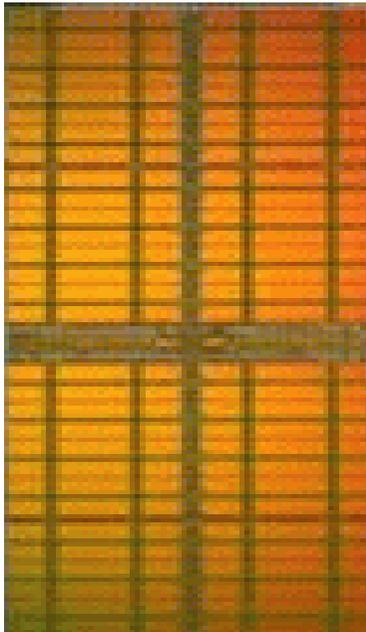
La logique haute performance

Les technologies analogiques



Les mémoires DRAM

ex: mémoire DRAM 16 Mbit



applications types:

- stockage de masse PC
- mémoires spécialisées (vidéo, graphique)

besoin technologique:

- la meilleure densité (coût)
- une performance moyenne

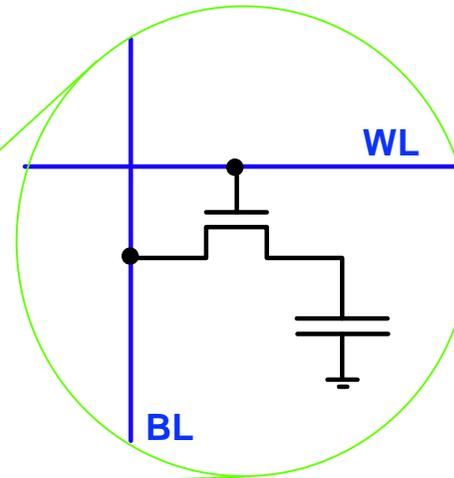
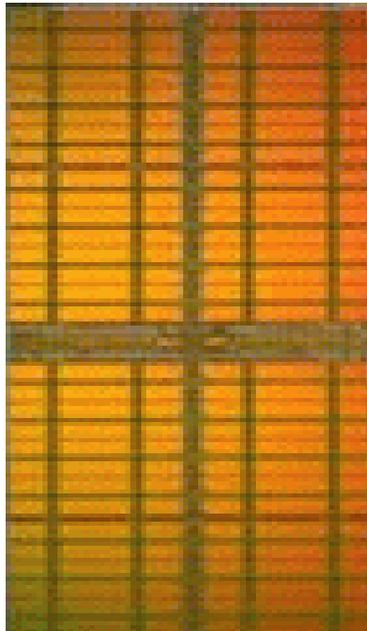
caractéristique:

- lithogravure agressive
- coût de fabrication faible
- fort volume, besoin constant et planifié (PC)
- shrink annuel (productivité)



les mémoires

(ex. 16 MbitDRAM)



point mémoire:
1 transistor
1 capacité

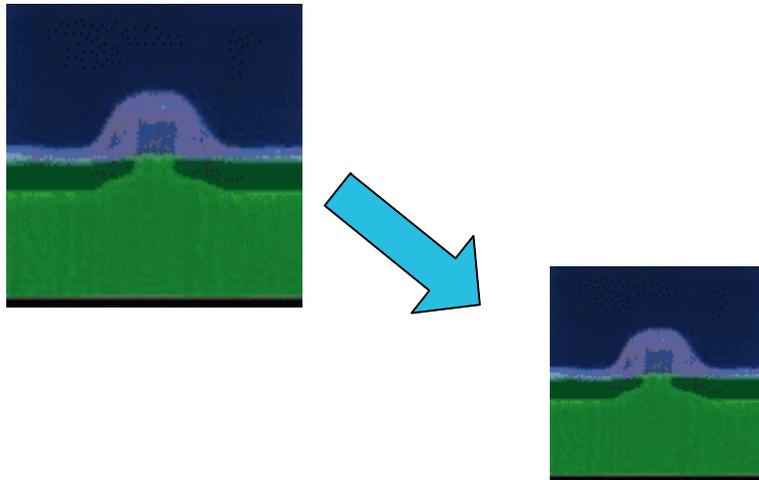
caractéristiques :

densité élevée
cout de fabrication très faible
cablage régulier
redondance

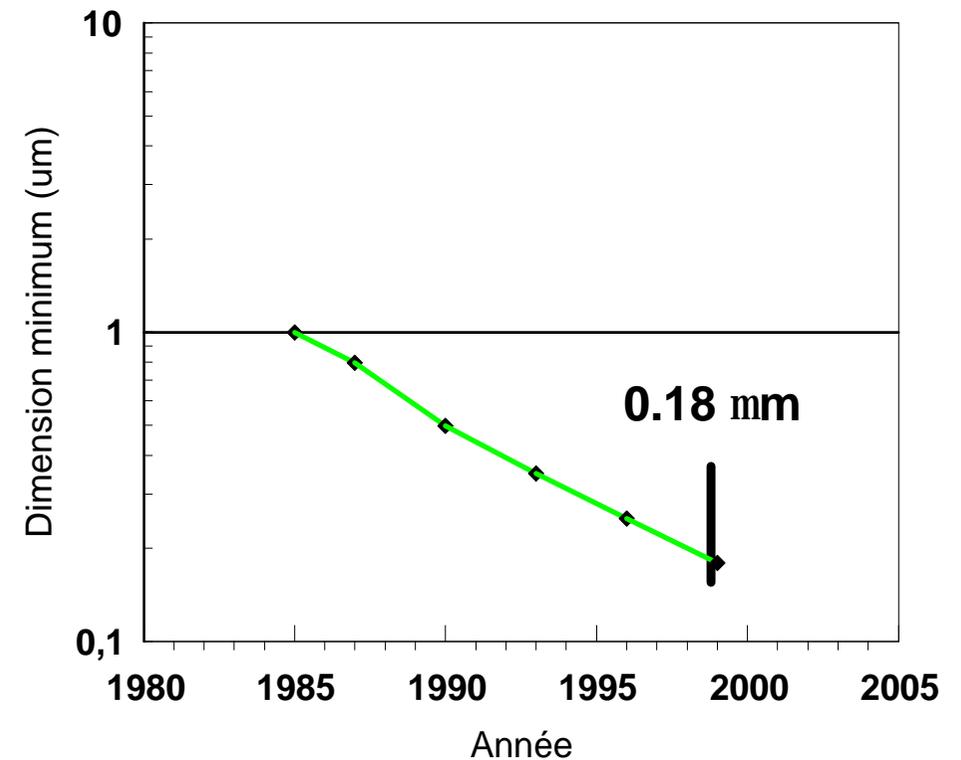
- ✓ véhicule d'amélioration de la lithogravure
- ✓ véhicule d'apprentissage du rendement



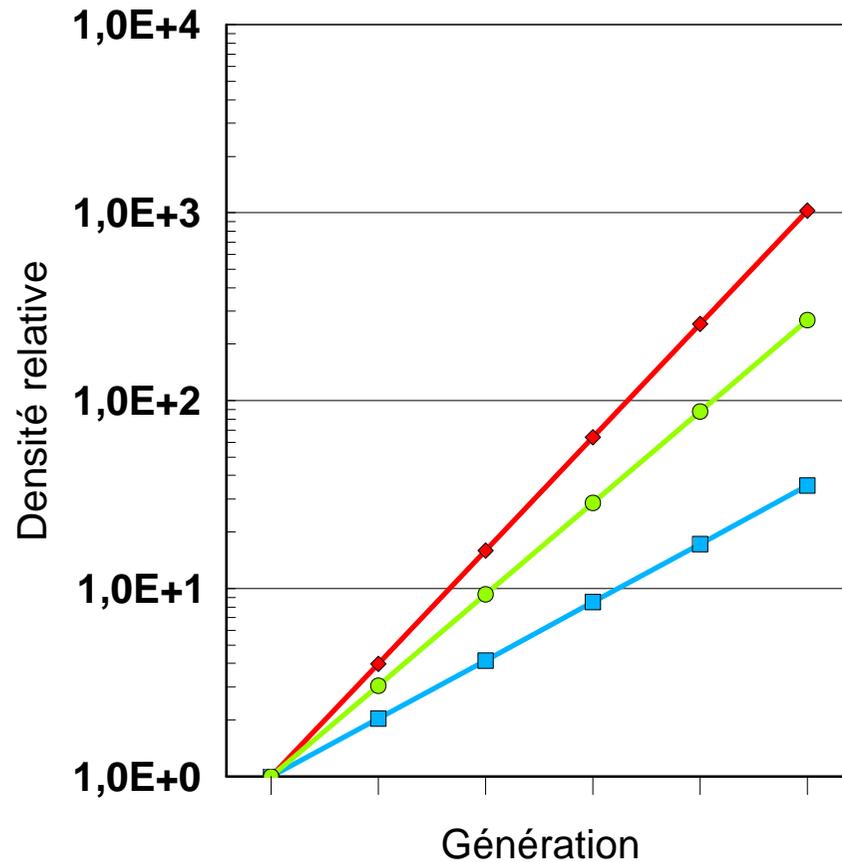
Le moteur du progrès de l'industrie microélectronique : la lithographe



0.7 X linéaire par génération
2X en densité par génération



D'autres facteurs de progrès de l'industrie microélectronique

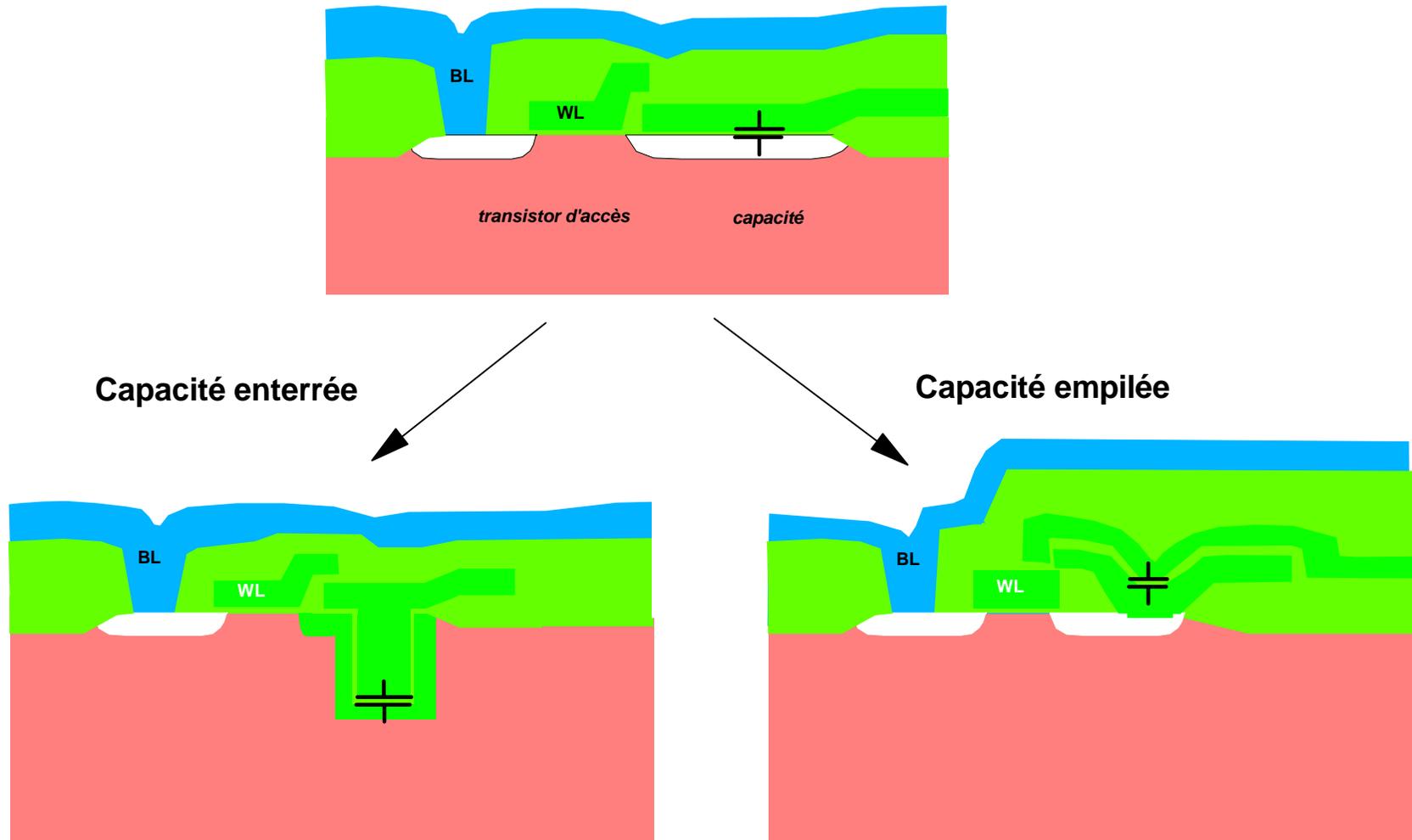


• *exemple: 4X en densité par génération de DRAM*

- Innovation 1.3 X
- Litho : 2X
- Taille chip : 1.5 X



Innovations technologiques

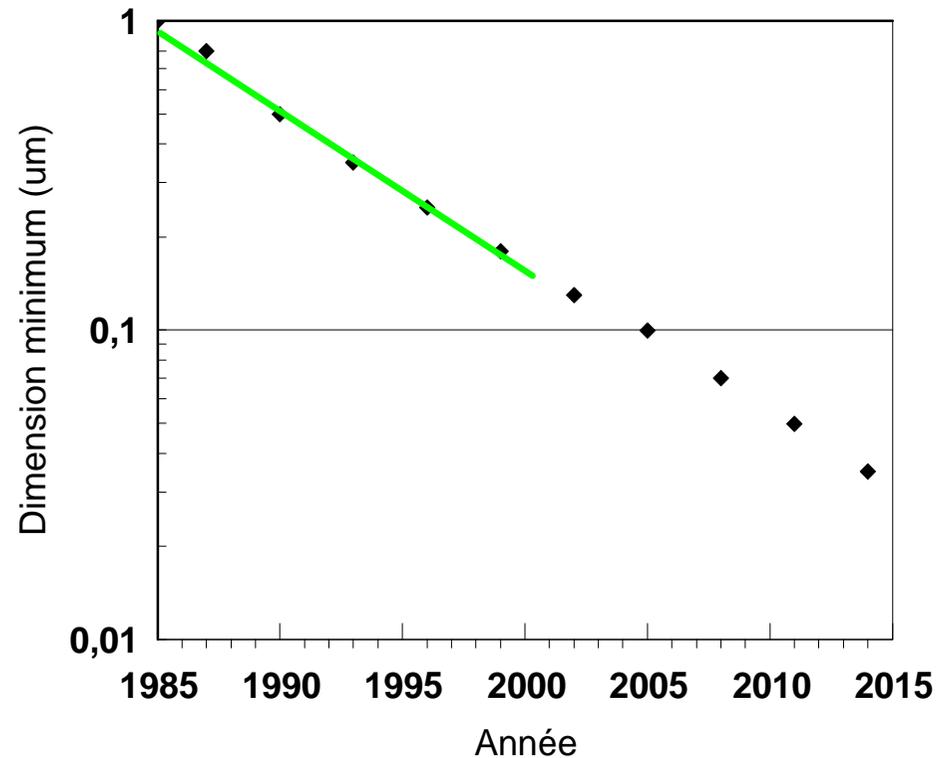


La roadmap 1999 ITRS :

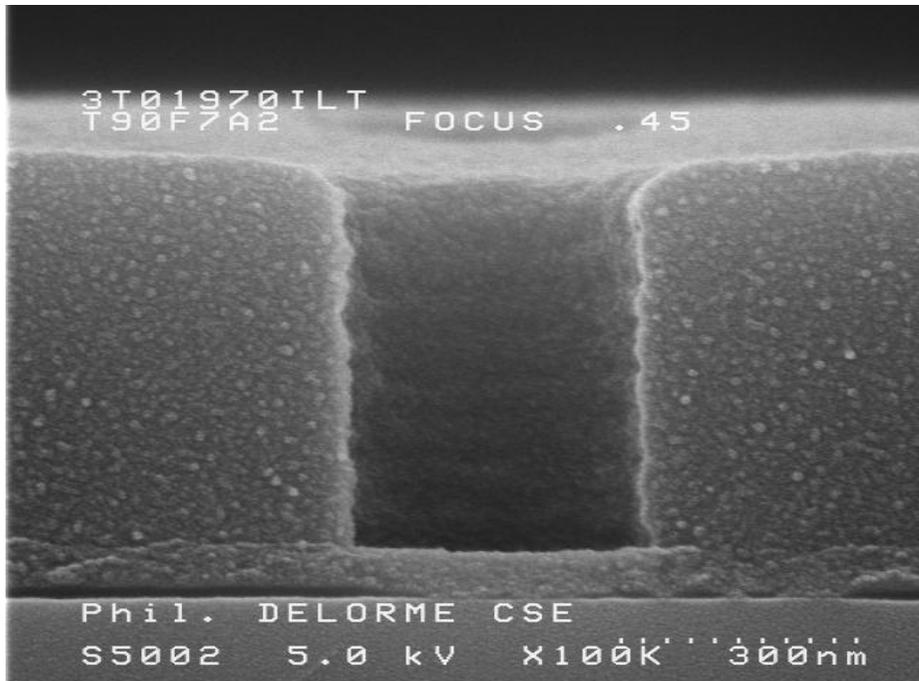
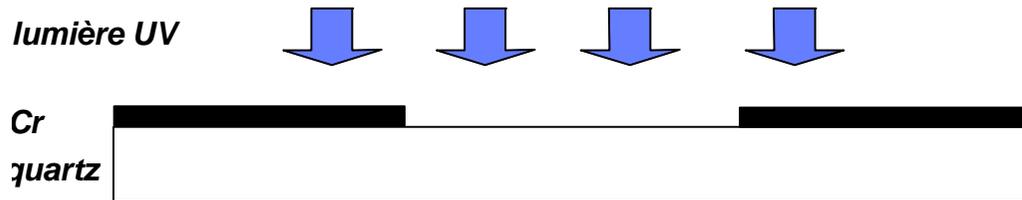
'évolution passée continue :

0.7 X linéaire par génération

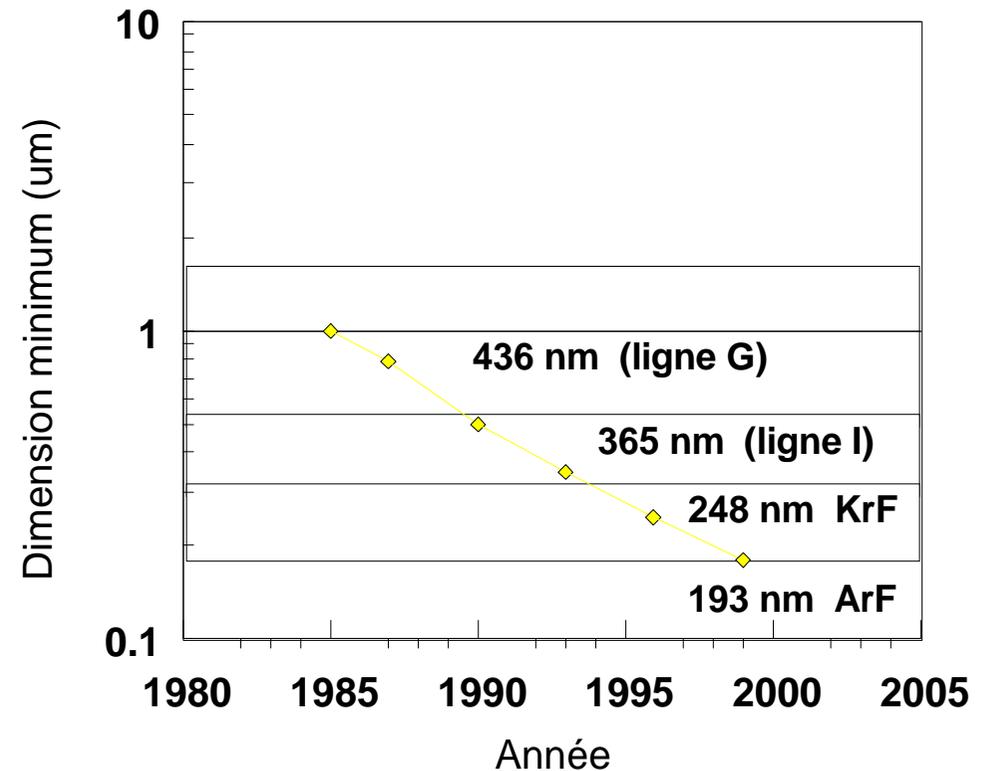
3 ans par génération



Le moteur du progrès de l'industrie microélectronique : la lithographie



$$F = k \lambda / NA$$



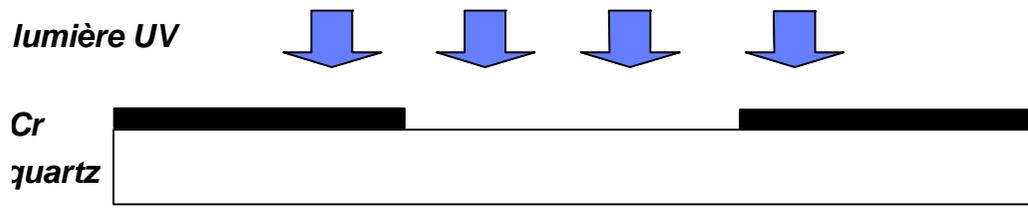
● *diminution de la longueur d'onde*



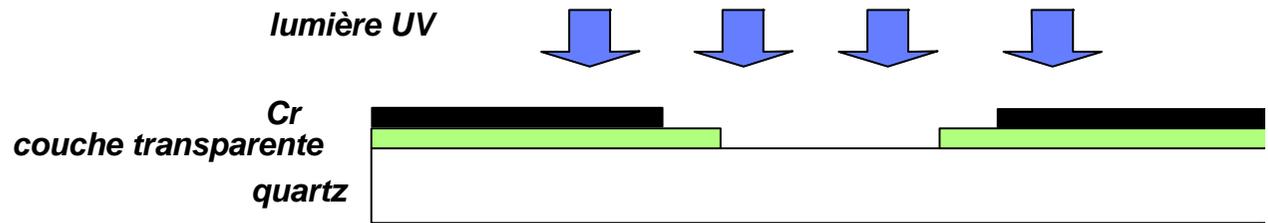
Les améliorations de la photolithographe à longueur d'onde fixe

✓ " Phase Shift Mask"

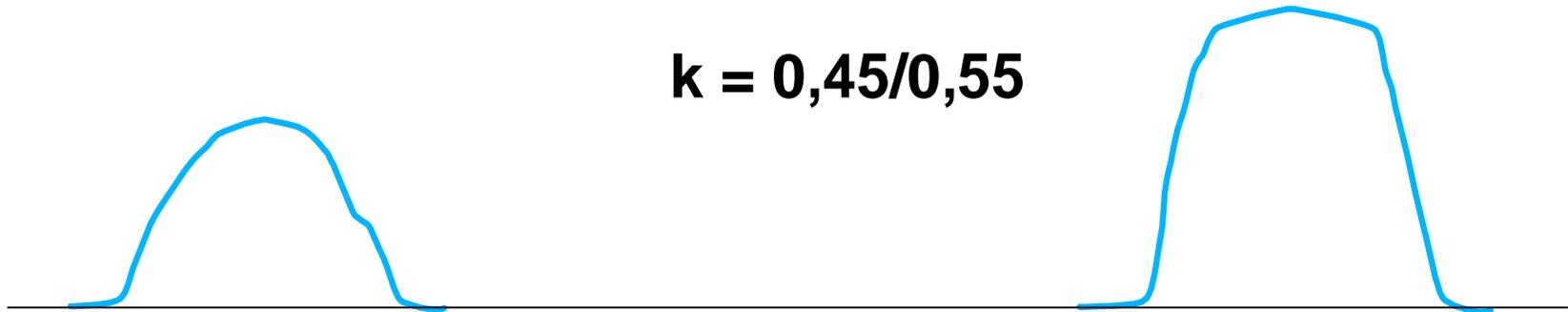
$$F = k \lambda / NA$$



k = 0,65



k = 0,45/0,55

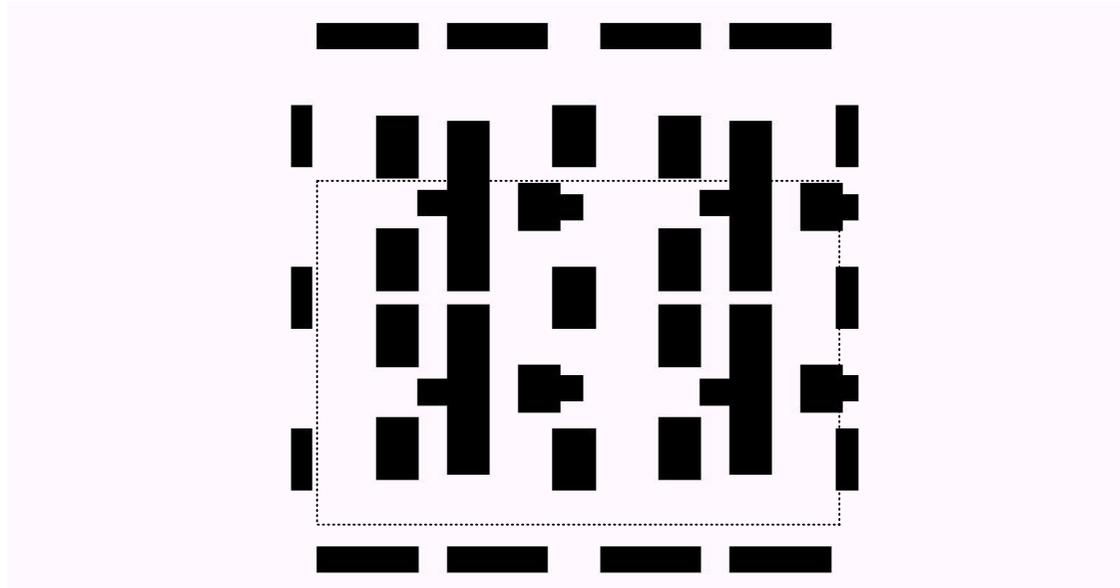


Les améliorations de la photolithographe à longueur d'onde fixe

- ✓ " Optical Proximity Correction"

$$F = k \lambda / NA$$

$$k = 0,25/0,35$$



dessin du masque

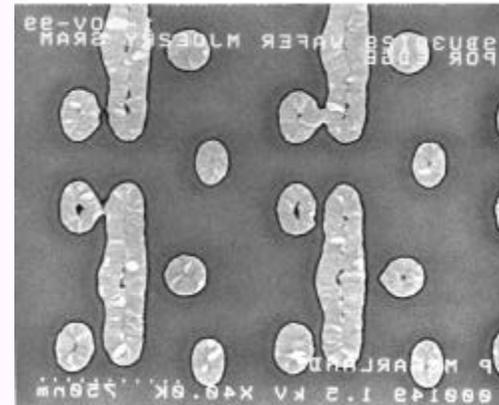
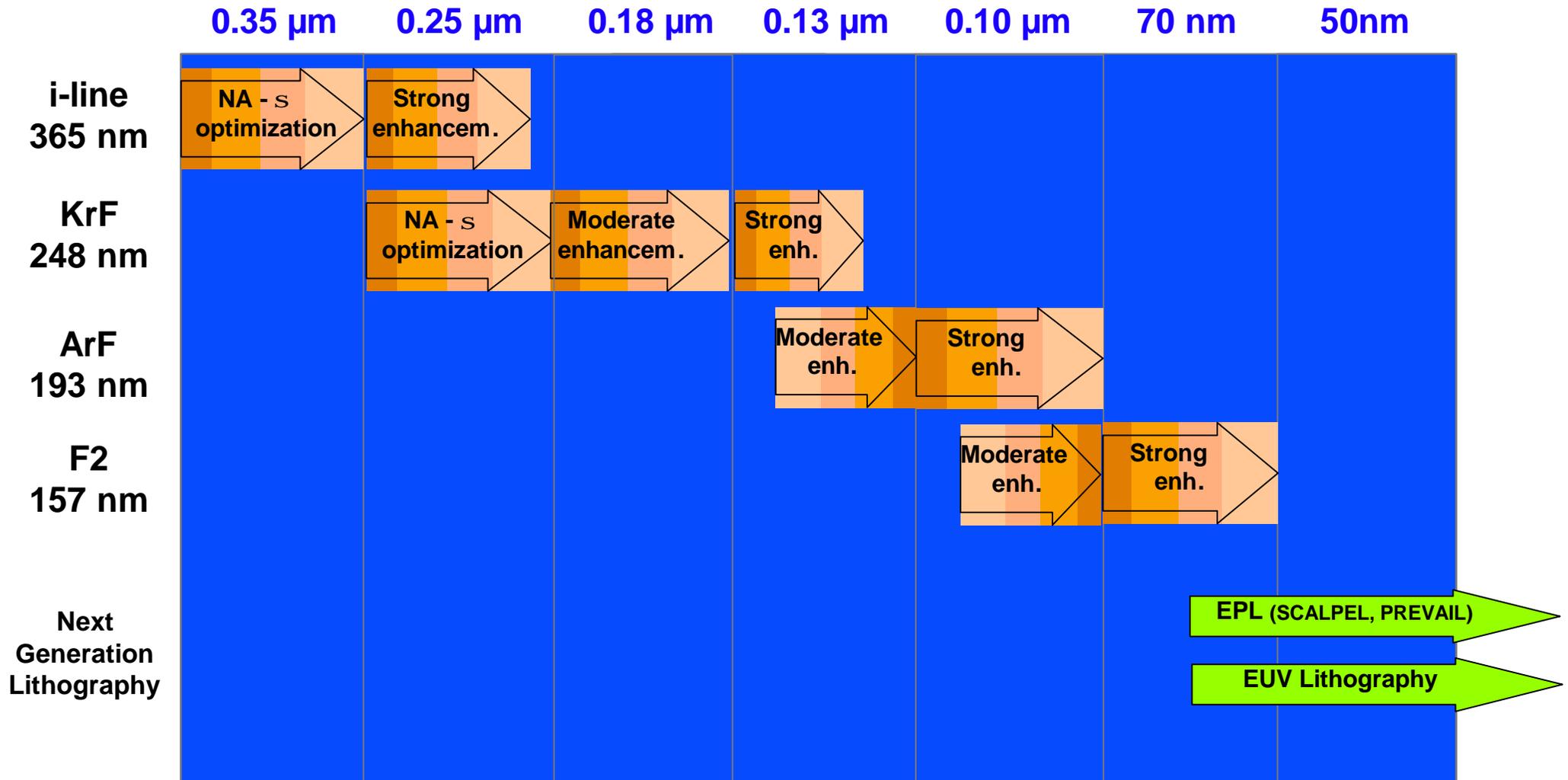


image réalisée sur tranche



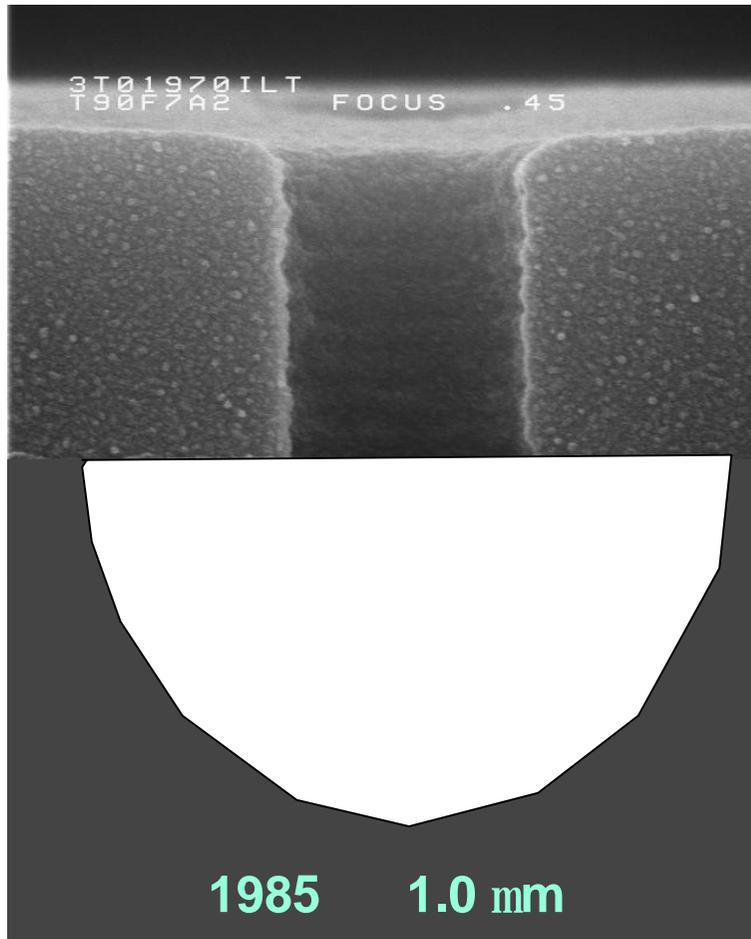
La roadmap de lithographe de l'ITRS :



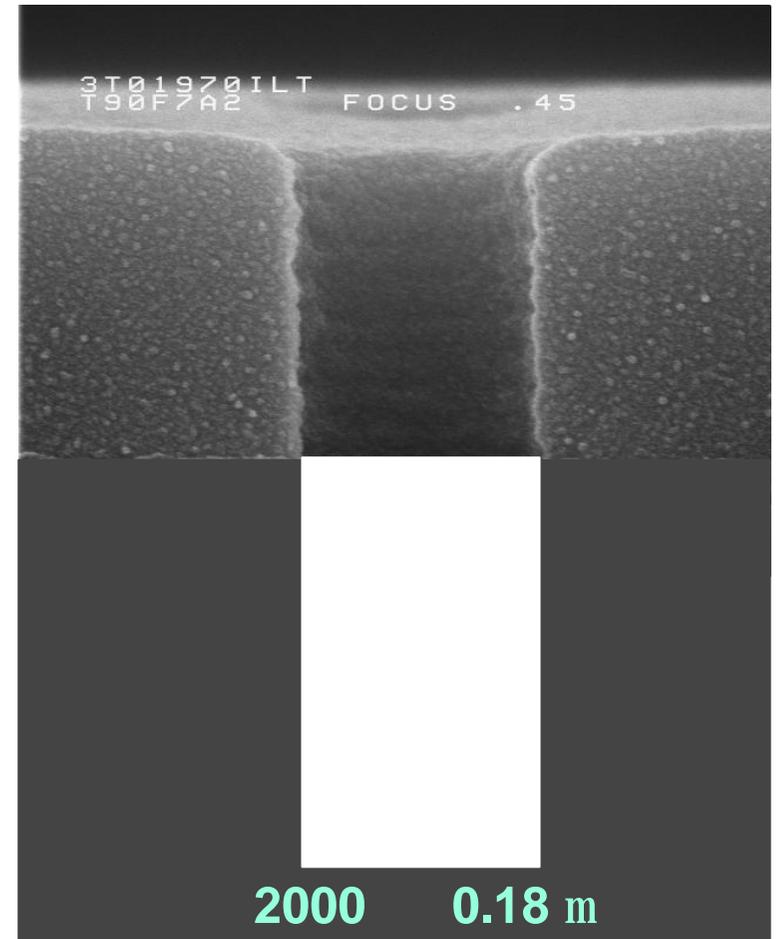
Des besoins en gravure de plus en plus sélectives:

✓ Il faut éviter de perdre en gravure ce que l'on a gagné en photo

gravure chimique 



gravure plasma 



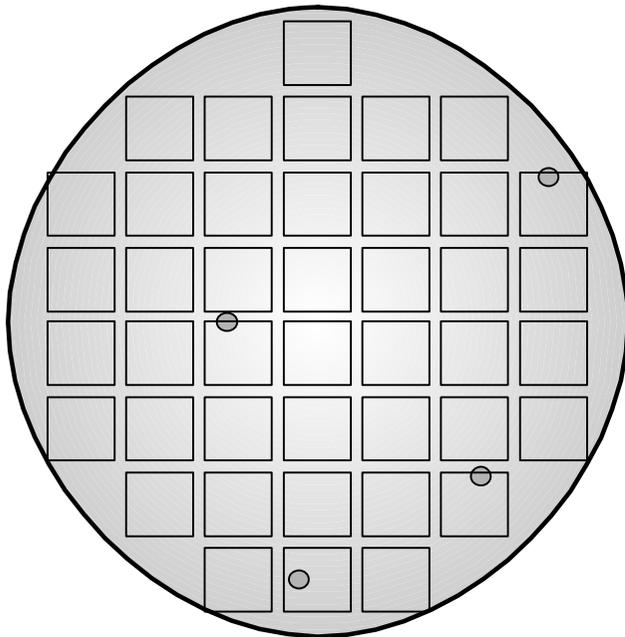
Les 5 principaux challenges en lithogravure d'ici 2005 (100 nm):

- ✓ fabrication des masques avec des techniques d'amélioration de résolution (OPC, PSM)
- ✓ consensus sur l'utilisation d'une technologie de litho (193 nm, 157 nm, autres)
- ✓ contrôle des couts et retour sur investissement
- ✓ contrôle des dimensions critiques, métrologie et inspection
- ✓ erreur de positionnement masque à masque

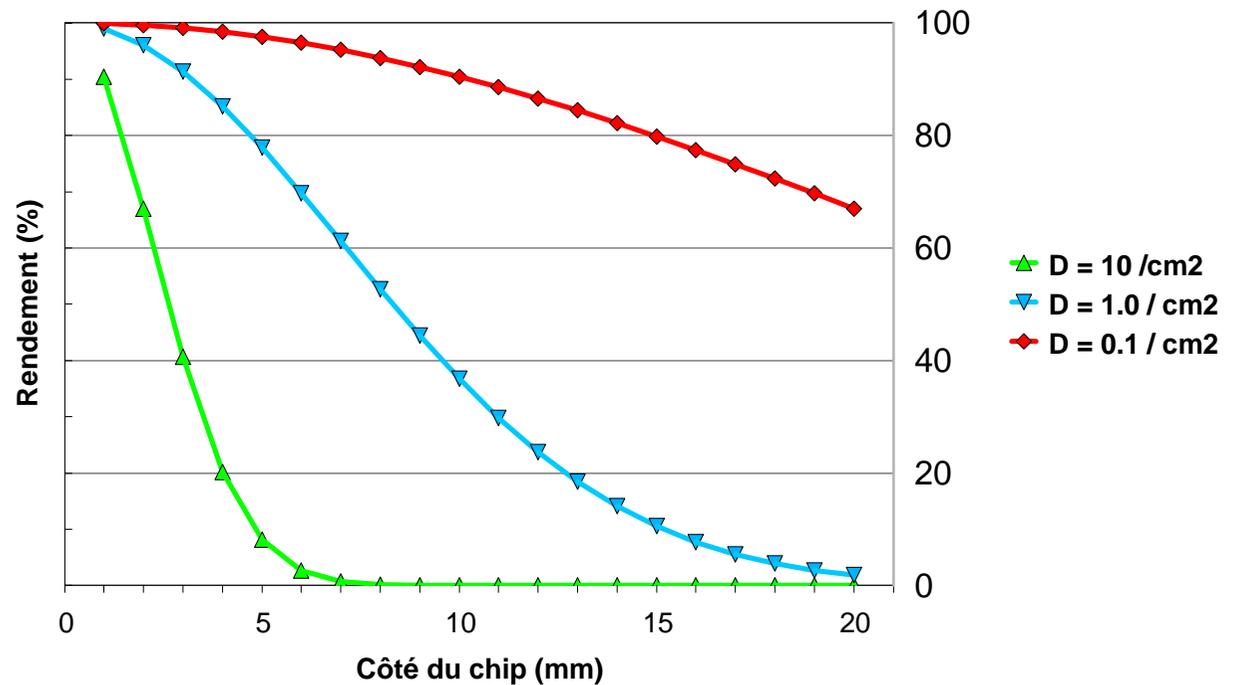
source : ITRS 1999, p 145



Le rendement des circuits intégrés : *impact des défauts aléatoires*



La loi de Poisson
 $Y = Y_0 \exp(-AD)$

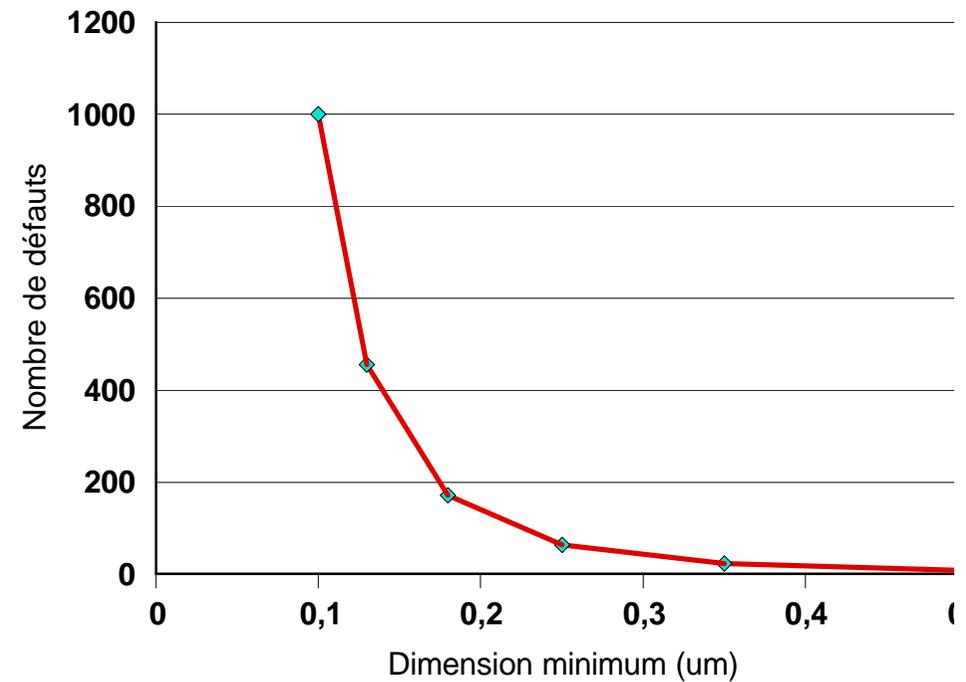
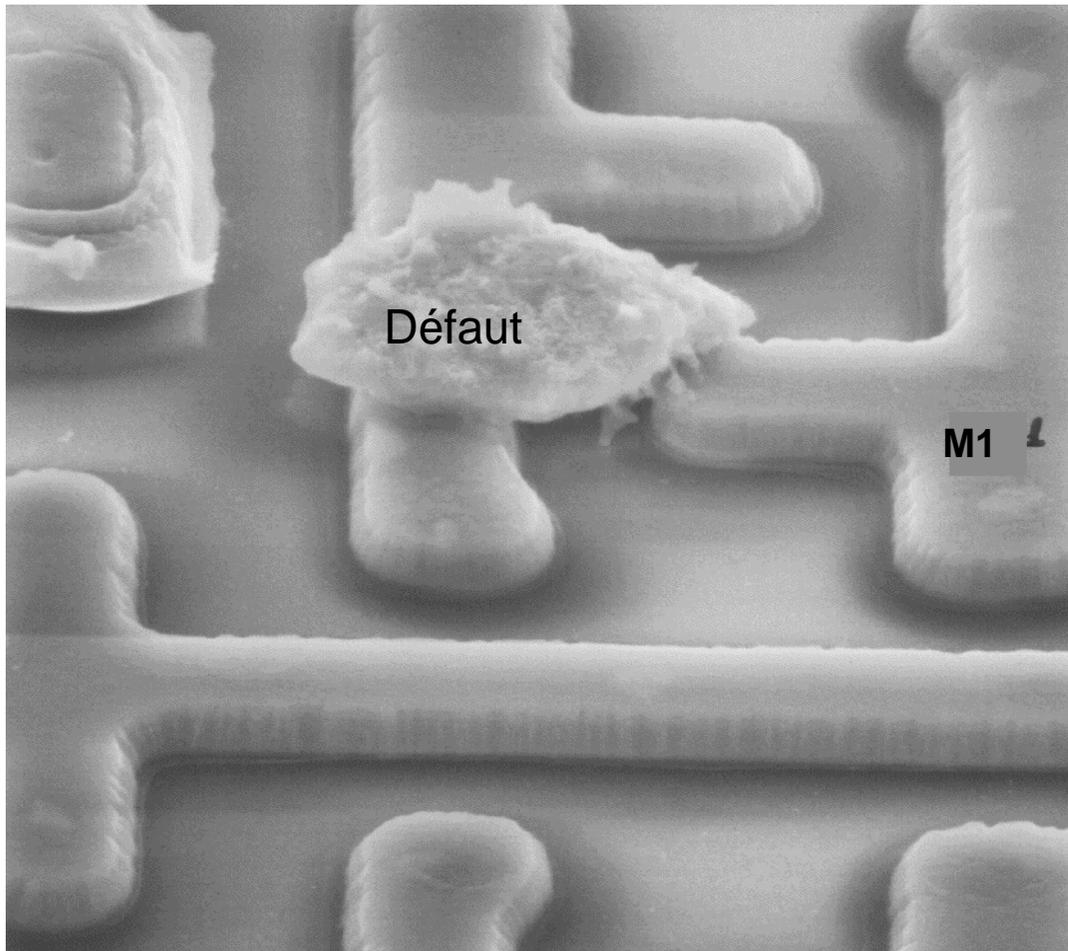


D doit être inférieur à 1 défaut/cm²



Le rendement des circuits intégrés :

des défauts de plus en plus petits, et de plus en plus nombreux.



le nombre de défauts varie comme
 $1 / \text{taille}^3$

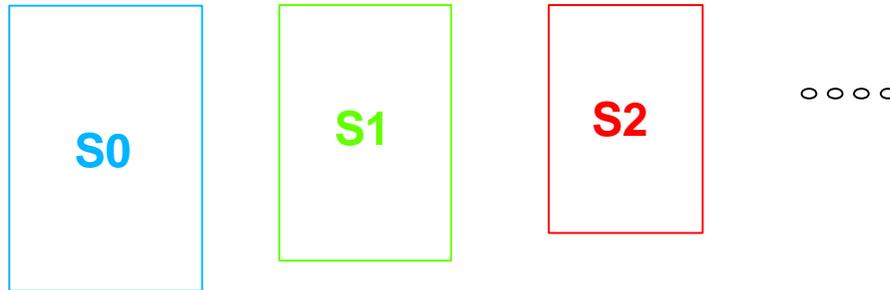
Les 5 principaux challenges de diminution des défauts d'ici 2005 (100 nm):

- ✓ développement de modèles de rendement, corrélés avec des mesures en ligne
- ✓ techniques d'inspection des tranches ayant une topographie élevée
- ✓ spécification et structures de test permettant de détecter des traces d'impuretés
- ✓ analyse automatique et intelligente permettant une réaction rapide sur les pertes en rendement
- ✓ technique d'analyse de défaillance permettant la localisation des défauts non visuels

source : ITRS 1999, p 269



Les "shrinks" des DRAMs : un gain de productivité



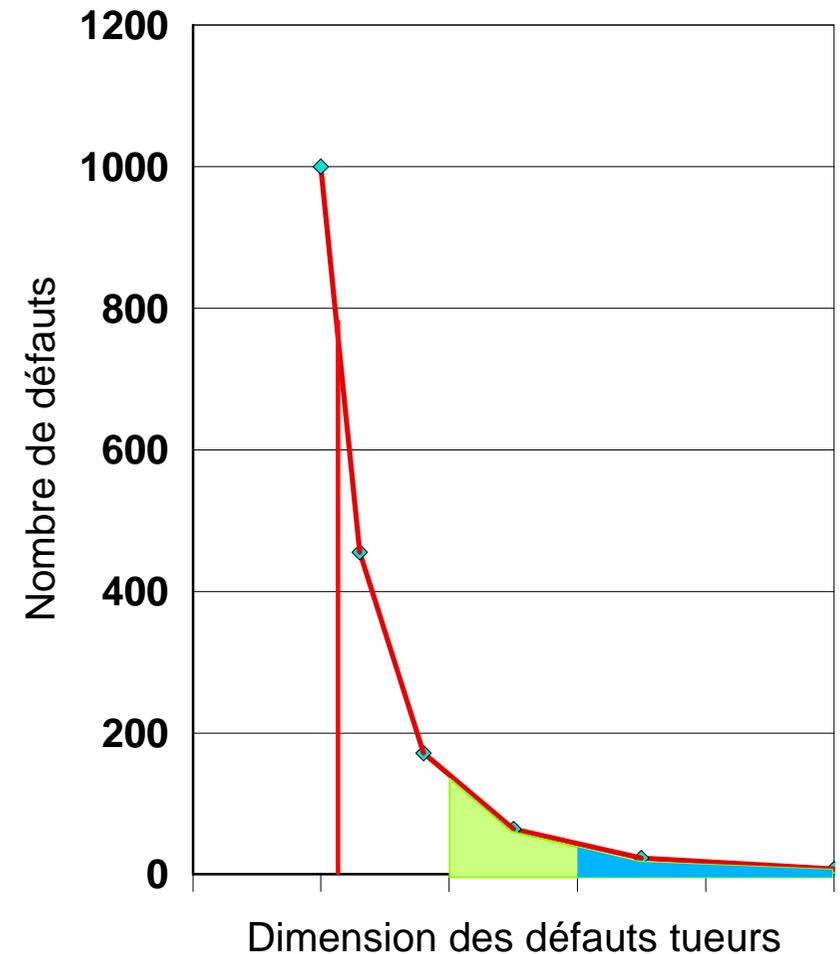
Utilisation de la litho, diminution linéaire de facteur $k = 0.9$

$$Y = Y_0 \exp(-AD)$$

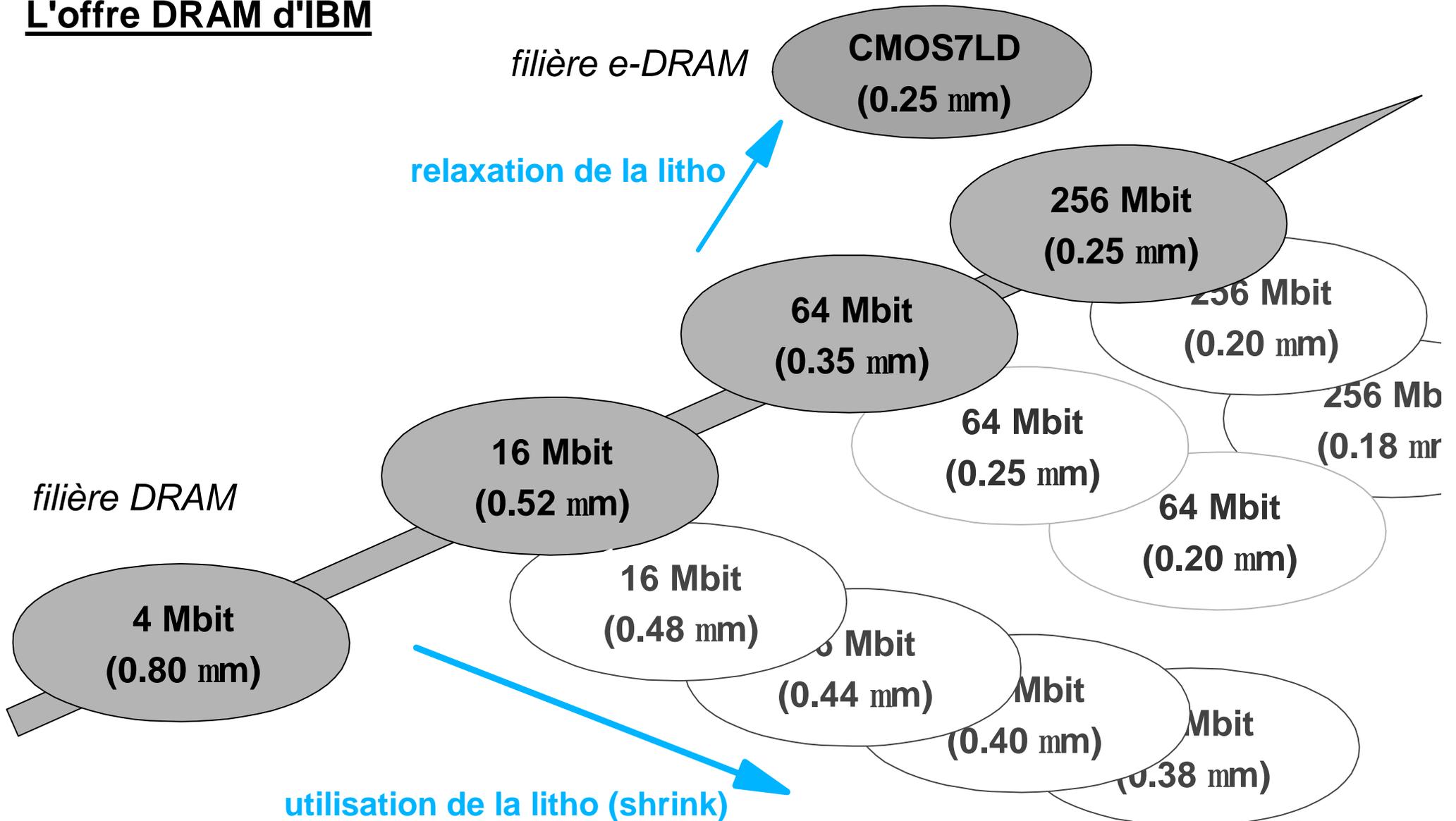
A : surface du chip, proportionnel à k^2

D : densité de défaut moyenne, proportionnel à $1/k^2$

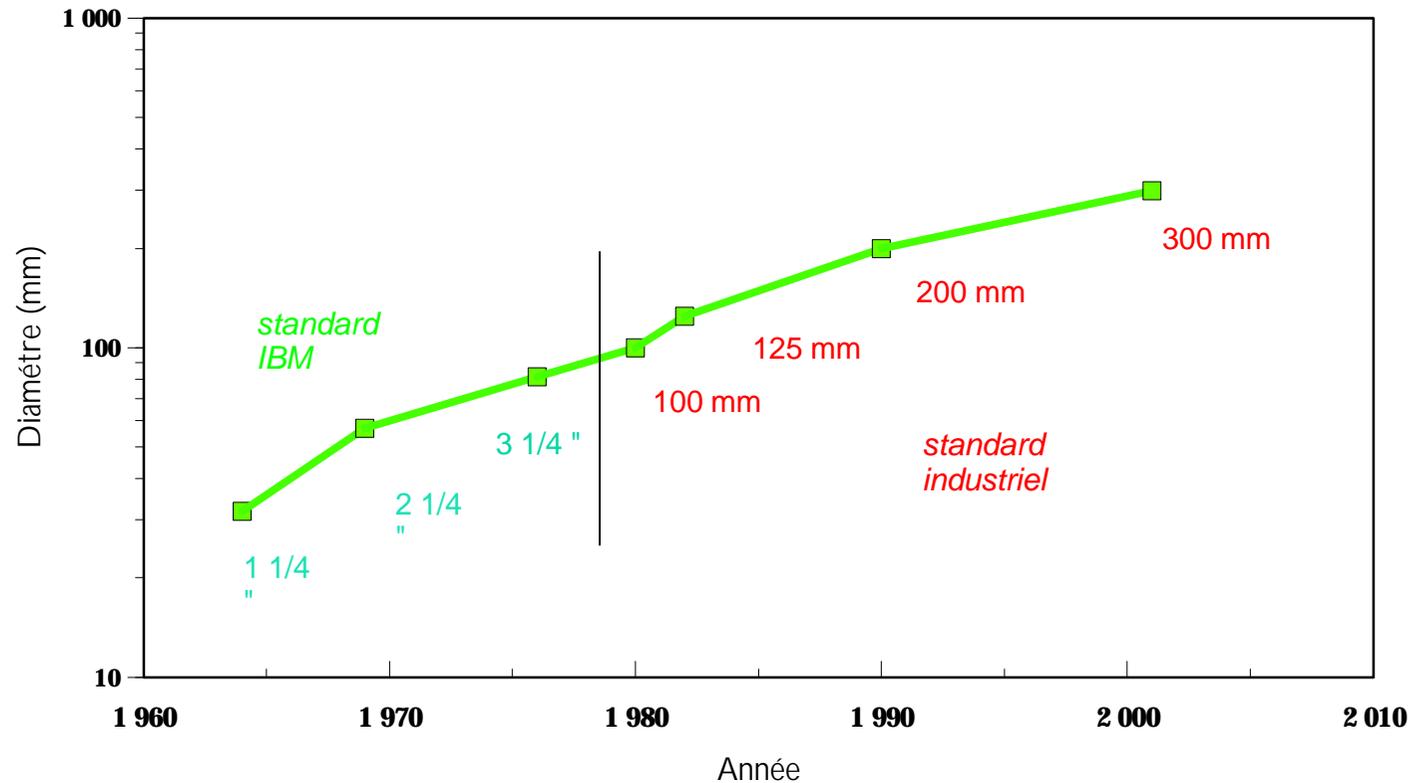
16 Mbit	taille point	chips/tranche	productivité
base	3.35	232	
0.92 X	2.78	276	+ 19%
0.85 X	2.40	322	+ 39%
0.77 X	2.05	376	+ 62%
0.73 X	1.85	421	+ 81%



L'offre DRAM d'IBM



L'augmentation de la taille des tranches: un gain de productivité



le futur standard planifié sera 450 mm





Evolution des technologies Si

Introduction

Les DRAMs

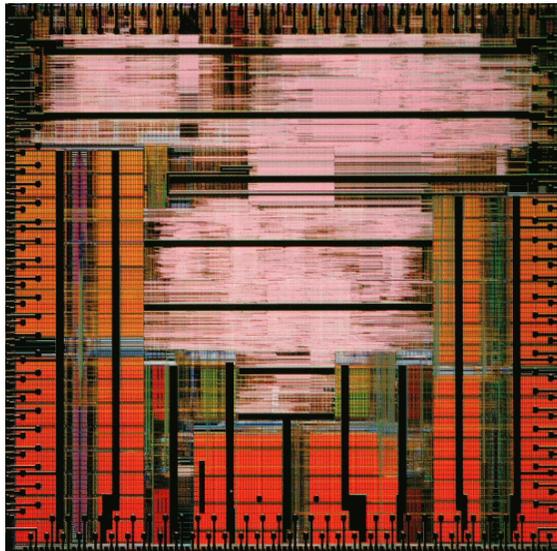
La logique haute performance

Les technologies analogiques



La logique CMOS haute performance ("Premium product line)

ex. microprocesseur PPC750



applications types:

- serveurs / stations de travail
- microprocesseurs PC
- communications rapides

besoin technologique:

- la meilleure performance
- une densité élevée des SRAM
- une fiabilité élevée

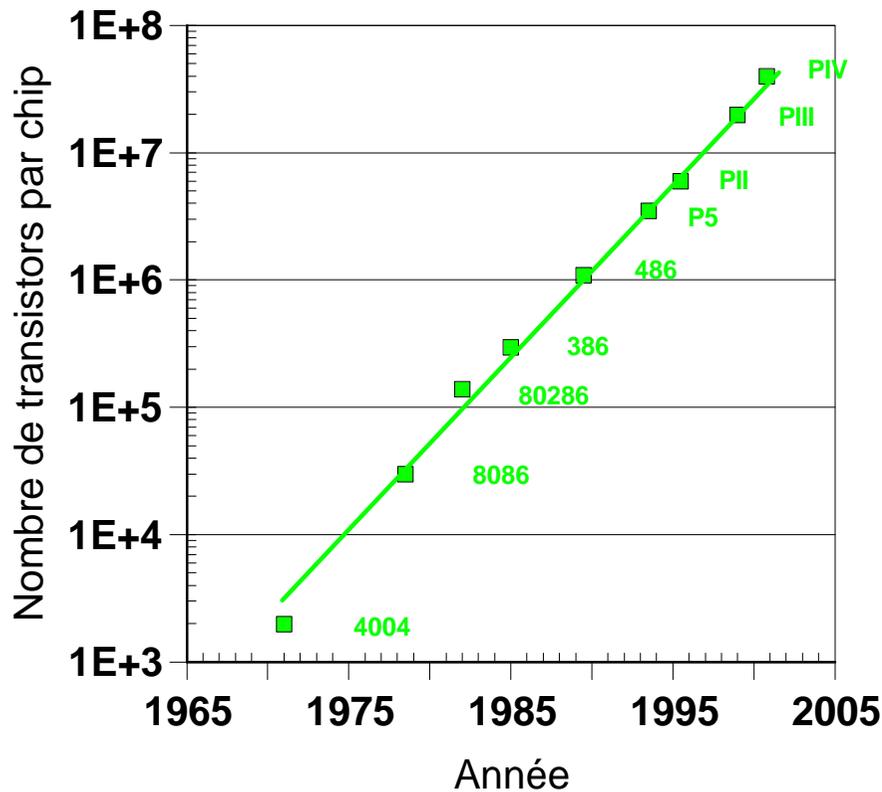
caractéristique:

- usage interne ou très limité
- transistor très agressif
- métallurgie optimisée RC (et non dens
- conception "custom", librairie minimum
- rôle important du package

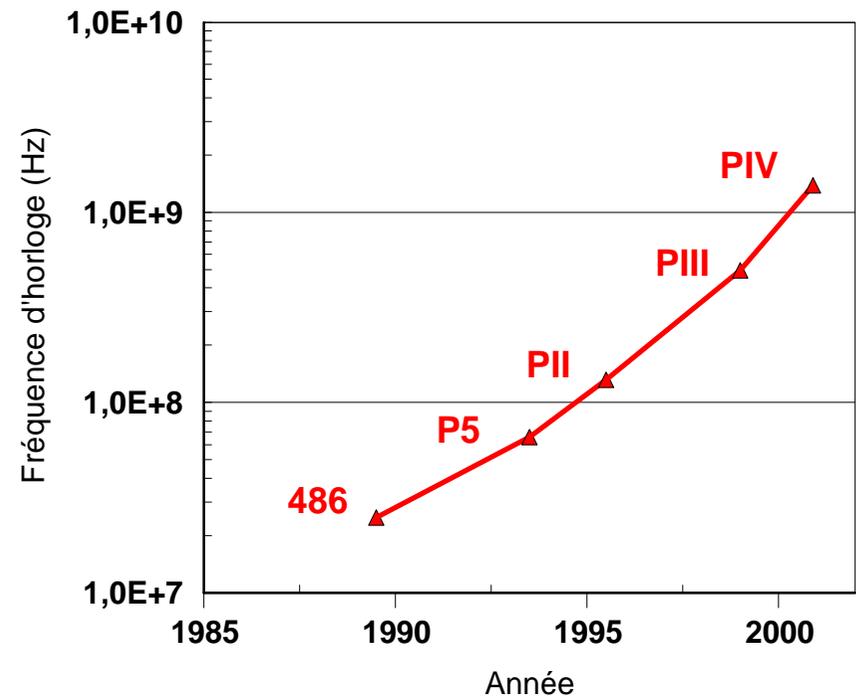


La loi de Moore (1965)

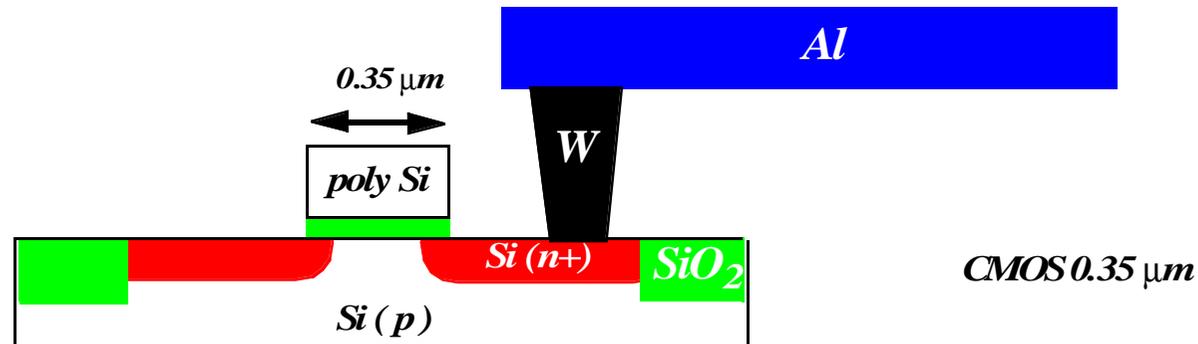
- des produits de plus en plus denses
- des produits de plus en plus performants



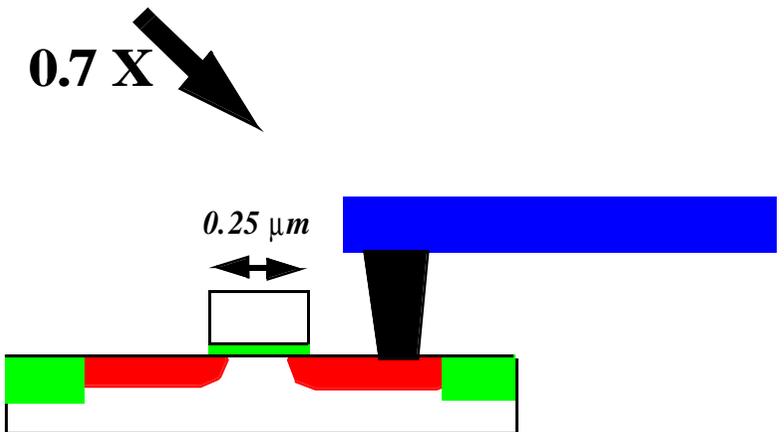
✓ 2X tous les 18 mois



La logique CMOS haute performance : le "scaling" des transistors



Facteur d'échelle k (R. Dennard '74)	
dimension minimum	$k L$
tension d'alimentation	$k V_{dd}$
épaisseur d'oxyde	$k t_{ox}$
concentrations	N/k
résistance de fil	L/k
capacité	Ck
transconductance	g_m
taille des chips	$k^2 A$
délai de porte	$k \tau$
puissance dissipée/porte	$k^2 P$

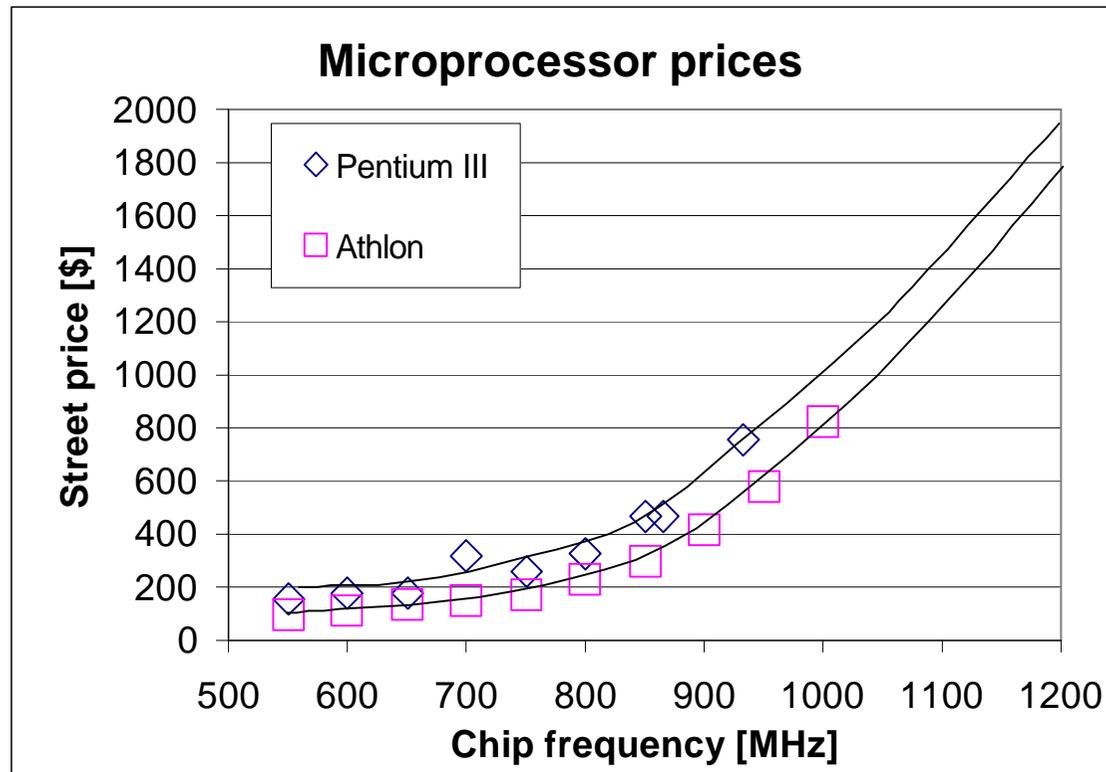


✓ on garde le champ électrique constant



La loi de Moore:

- associée à des considérations économiques
plus la performance est élevée, plus le prix de vente est élevé



source : pricewatch.com, 07/2000



Passage de la mémoire à la logique (exemple technologie 0.5 μm)

les mémoires

2 niveaux métal

capacité
enterrée



les logiques

3 à 5 niveaux de métal

surface de la tranche

transistor
optimisé

