

CAO des Circuits Analogiques

Fonctionnement
Modélisation
Conception
Dessin des masques

Présentation du cours

- Séances de cours :
 - Principe de fonctionnement du transistor MOS.
 - Modélisation du transistor MOS.
 - Les circuits de base.
 - Quelques circuits complexes.
 - Techniques d'intégration.
- Séances de TD :
 - Modélisation, simulation, dessin (simplifié) inverseur
 - Projet

Références bibliographiques

- CMOS Analog Circuit Design P.E. ALLEN, D.R. HOLBERG, Oxford University Press.
- VLSI Design Techniques for Analog and Digital Circuits, R.L. GEIGER, P.E. ALLEN, N.R. STRADER, Mc GraW-HILL International Editions.
- Analysis and Design of Analog Integrated Circuits, P.R. GRAY, R.G. MEYER, John Wiley & Sons Inc.
- Analog Integrated Circuit Design, David A.Johns, Ken Martin, John Wiley & Son.
- Analog IC Design : The Current-Mode Approach, C. TOUMAZOU, F.J. LIDGEY, D.G. HAIGH, London Peregrinus.
- CMOS Circuit design, Layout, and simulation, R.Jacob Baker, Harry W.Li, David E.Boyce, IEEE Press series on microelectronic.
- Analysis and Design of Analog Integrated Circuits, Paul R.Gray, Robert, G.Meyer, John Wiley & Son.
- Microelectronic circuits, Adel S.Sedra, K.C.Smith, Oxford University Press

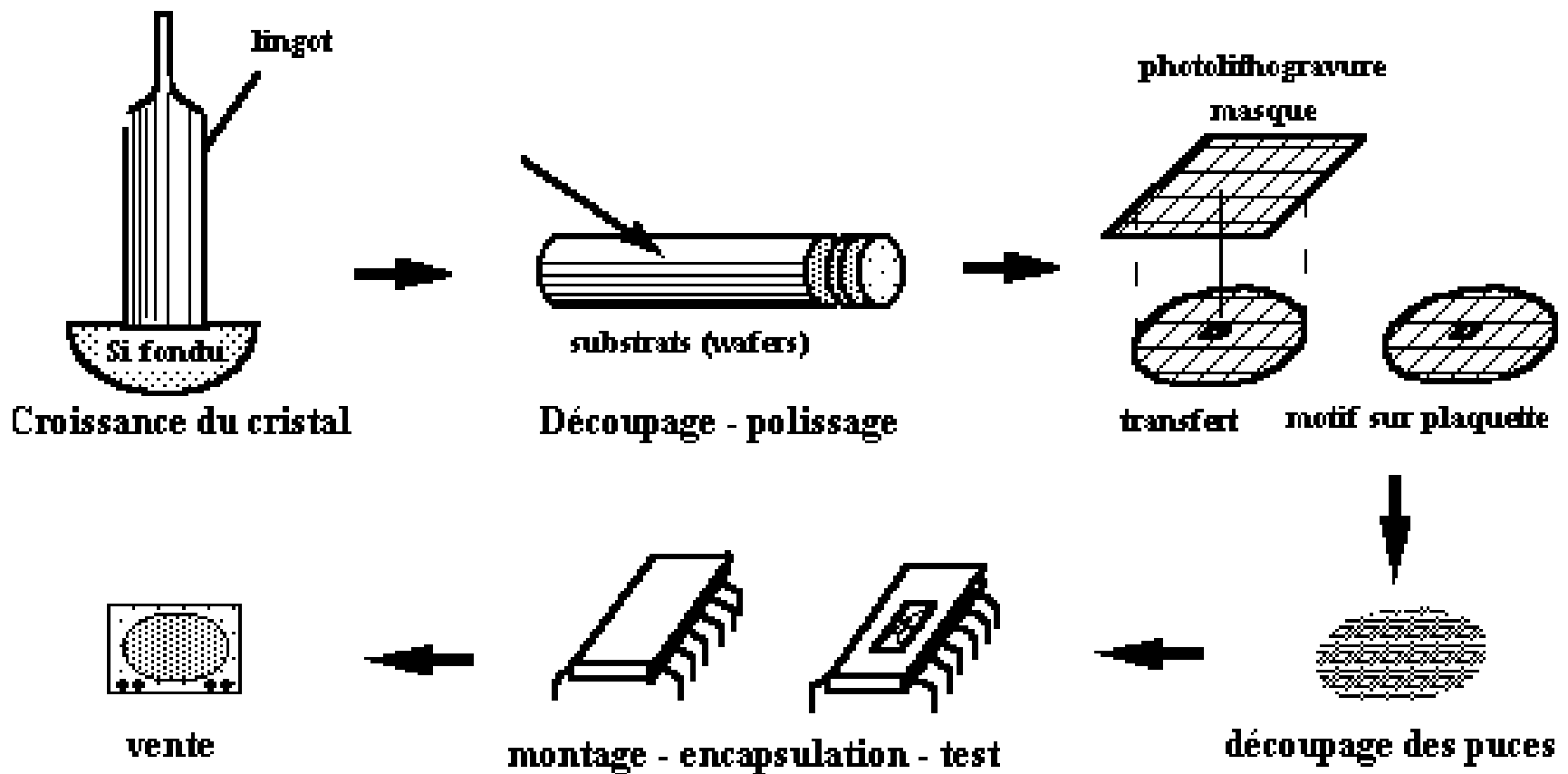
Objectifs généraux

- Connaître les étapes de fabrication dans la technologie CMOS et ses règles de conception.
- Concevoir des circuits analogiques simples en utilisant la technologie CMOS.
- Connaître les notions de base se rapportant aux architectures intégrées.
- Connaître plusieurs limites pratiques des technologies d'intégration.
- Utiliser une collection d'outils de conception assistée par ordinateur permettant
 - de réaliser le dessin des masques de cellules simples
 - de vérifier le respect des règles de dessin
 - d'extraire le circuit à partir du dessin des masques
 - de simuler la réponse temporelle avec un simulateur de circuit

Notions de technologie : définitions

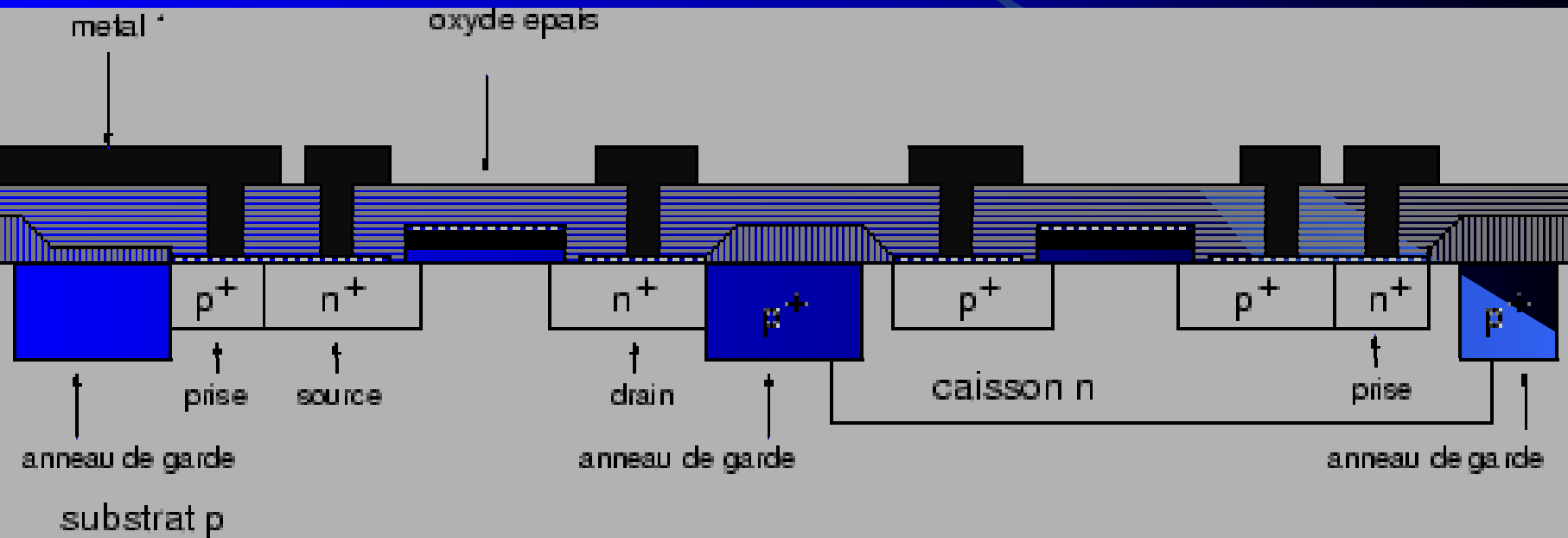
- Technologie : c'est le processus de fabrication d'un circuit intégré.
- Une technologie est au minimum définie par :
 - un jeu de **règles géométriques** et topologiques constituant les contraintes de dessin des masques des circuits (longueur minimale du canal, dimensions minimales de la grille, etc.),
 - un jeu de **paramètres électriques** permettant d'évaluer, grâce à l'analyse ou à des programmes de simulation, le comportement probable des circuits (capacité surfacique de l'oxyde, résistance des métaux, etc.)
- Selon la technique de conception employée, la manipulation directe de ces données technologiques n'est pas toujours nécessaire.

Notions de technologie : étapes de fabrication

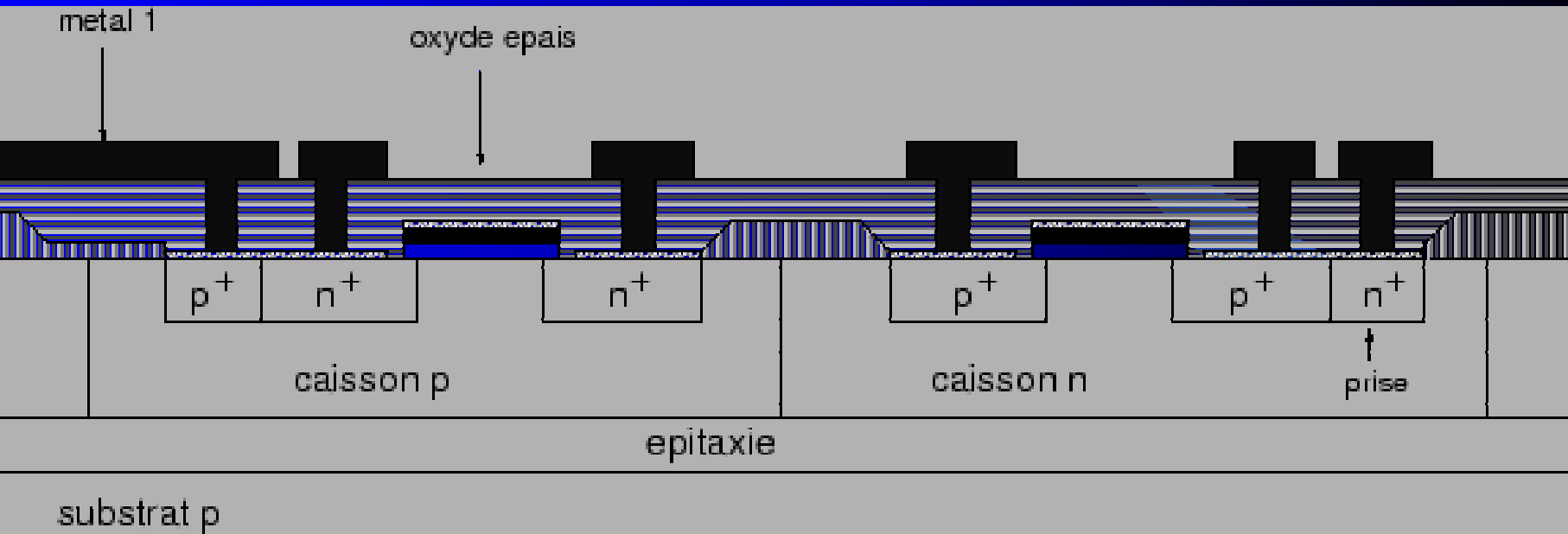


Filières technologiques principales :

Caisson P (N)

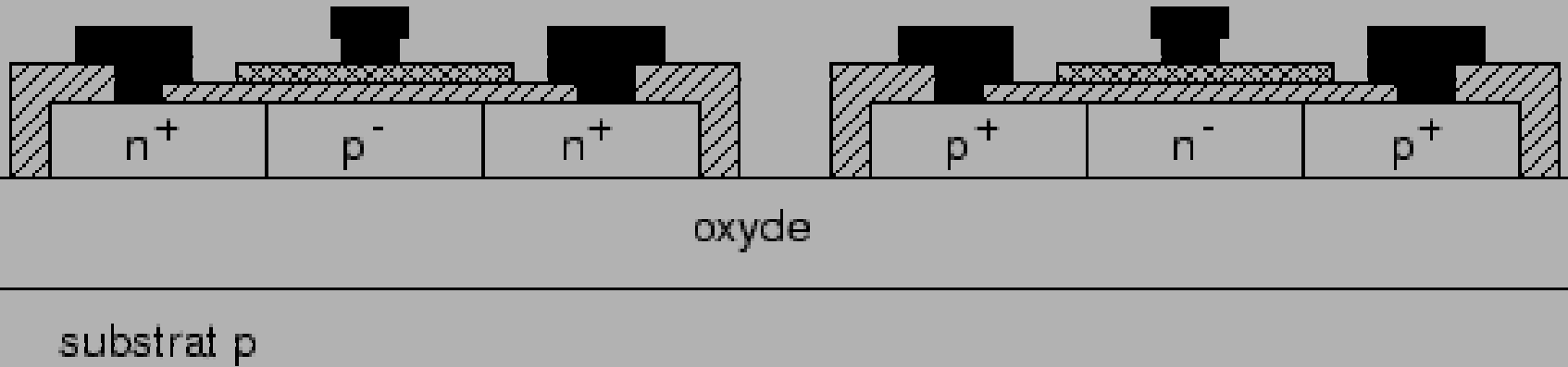


Filières technologiques principales : Double caisson



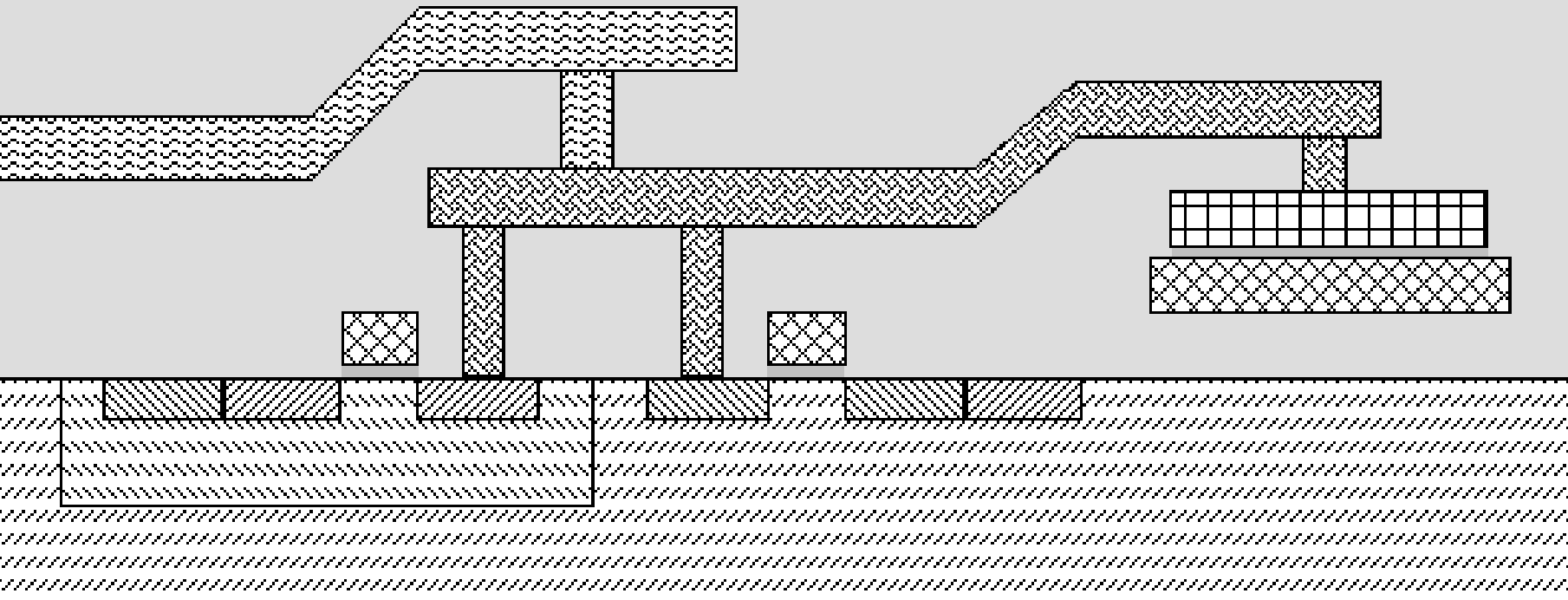
- Les transistors P et N sont placés dans des caissons différents.
- Facilite l'optimisation séparée des paramètres électriques des transistors.
- Filière plus onéreuse.

SOI (Substrat Sur Isolant)

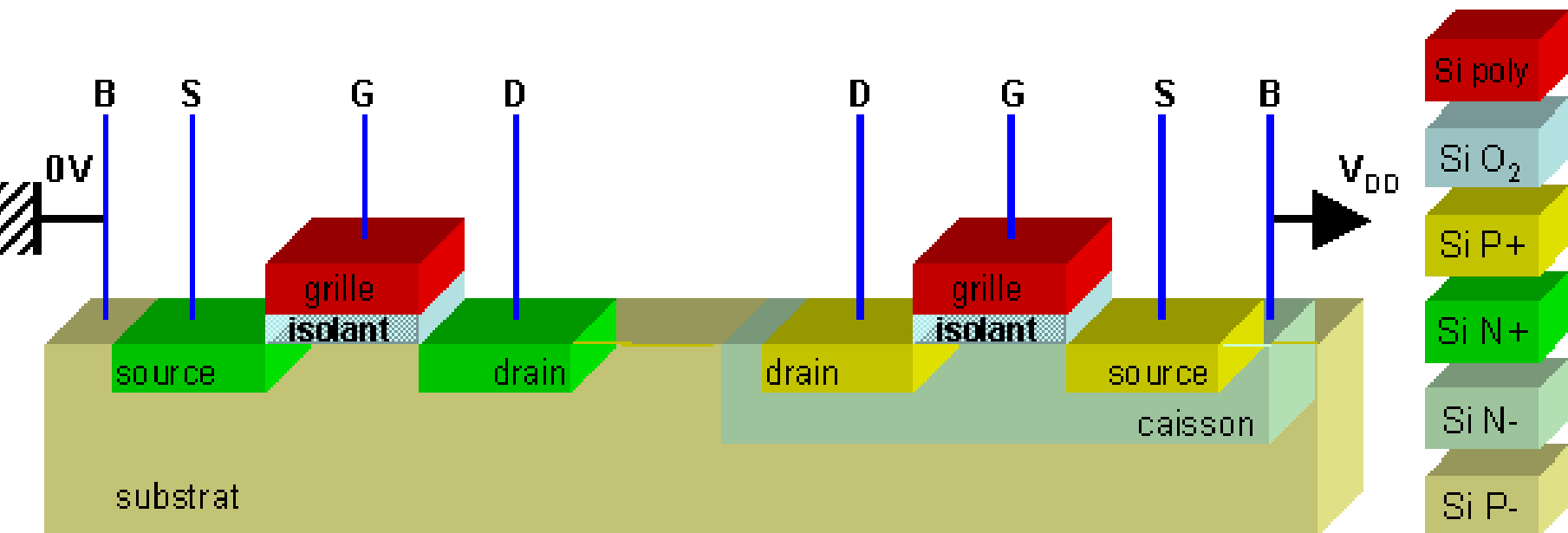


- Les transistors P et N sont électriquement séparés du substrat par un isolant.
- Essentiellement caractérisée par une plus grande densité d'intégration.
- Pas de problème de latch-up,
- Plus grande rapidité du fait de la diminution des capacités parasites.
- Plus grande immunité aux bruits de substrat.
- Coûts de production en nette diminution.
- Probablement l'avenir pour les CI analogiques hautes fréquences.

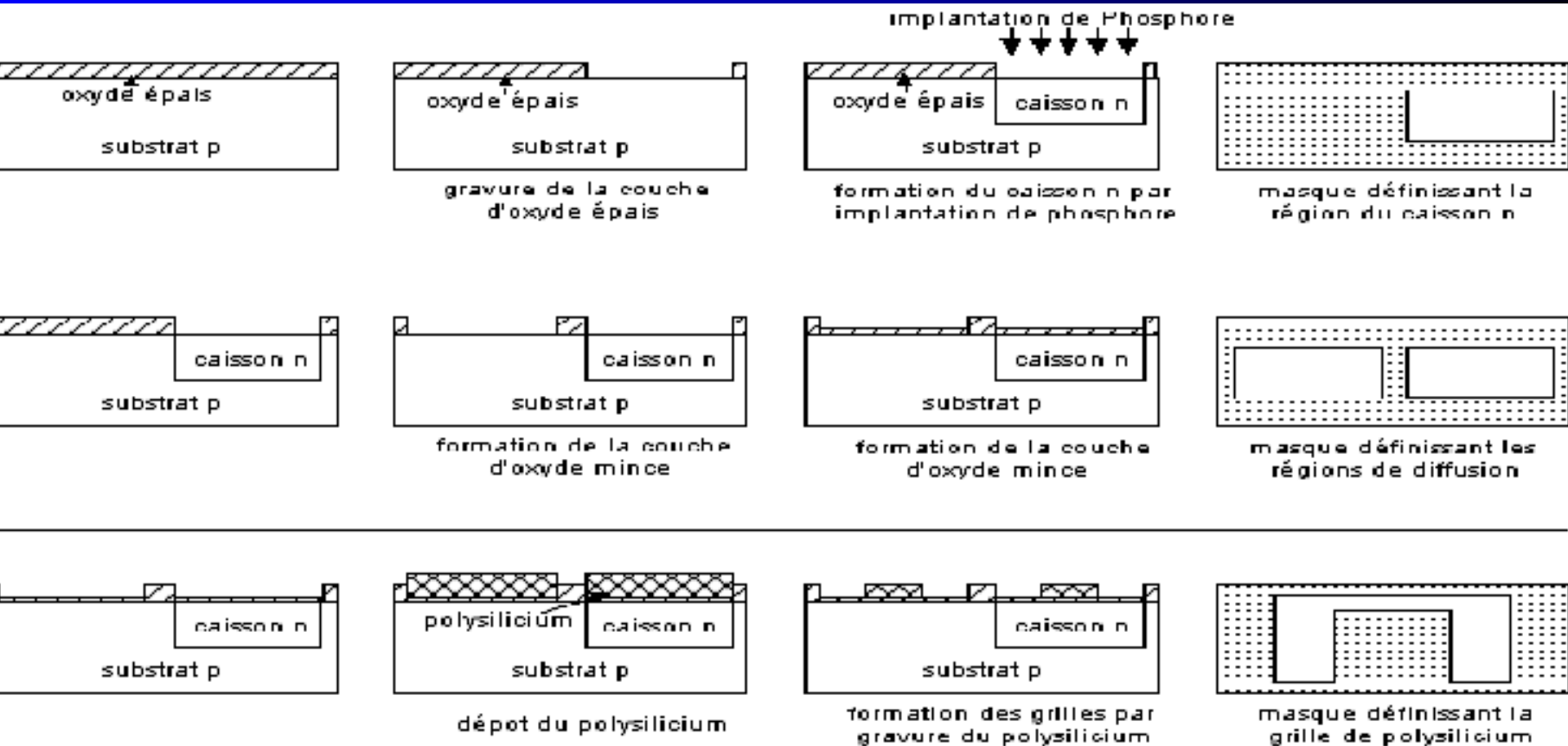
technologiques MOS

Polysilicium 2

Notions de technologie : Masques technologiques MOS

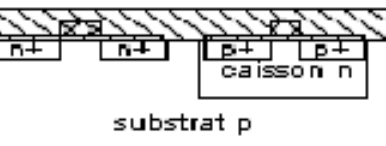
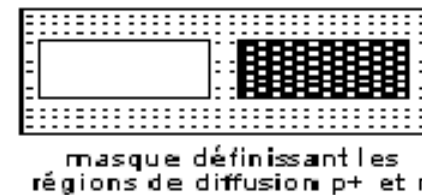
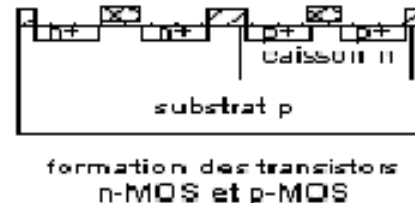
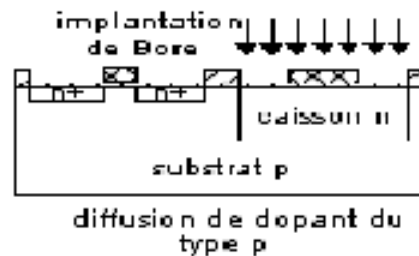
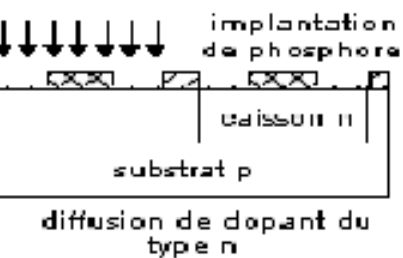


Notions de technologie : masques



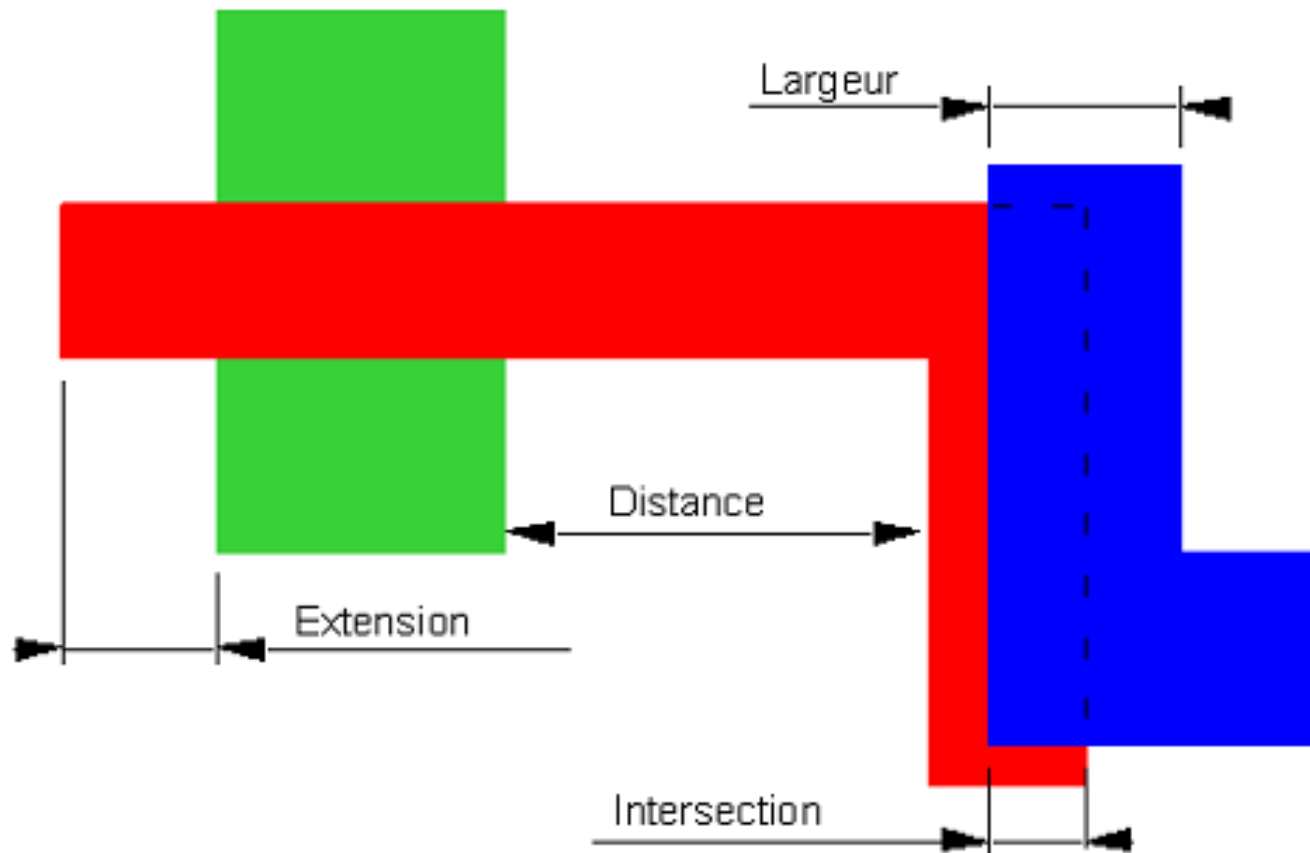
- 1 : définir la région où le caisson n sera formé.
- 2 : définir les régions nécessaires pour réaliser les grilles des transistors.
- 3 : dans l'étape suivante la grille en polysilicium est formée.

Notions de technologie : masques



- 4 : définir les transistors de type n et les transistors de type p.
- 5 : définir les lieux où un contact sera réalisé.
- 6 : recouvrir le circuit d'une couche de passivation
- 7 : réaliser des ouvertures pour les différents plots du circuit intégré.

Notions de technologie : grandeurs géométriques



- Nb. règles géométriques > 150 !

Notions de technologie : grandeurs électriques

$$R_B = \rho_B \frac{L}{W}$$

$R_{\square}$: résistance par carré ($\Omega/\square$)

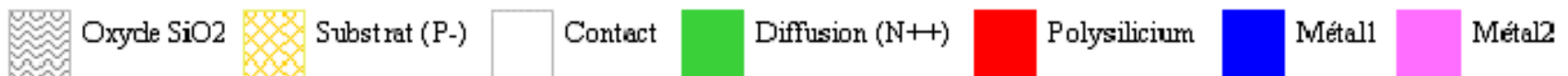
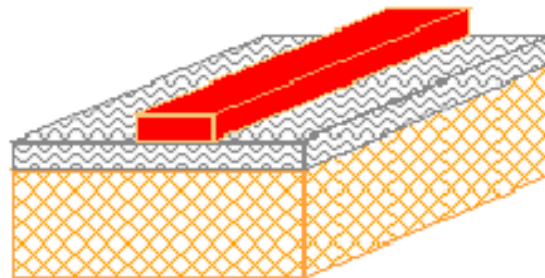
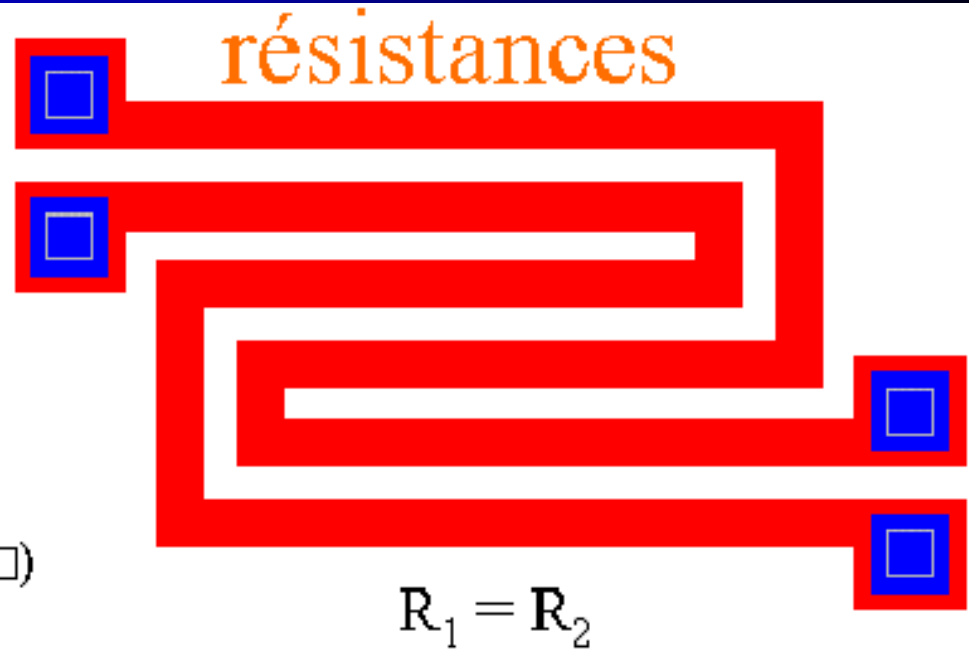
matériaux utilisés :

diffusion (qq. $\Omega/\square$ à 20 $k\Omega/\square$)

polysilicium (qq. $\Omega/\square$ à 50 $\Omega/\square$)

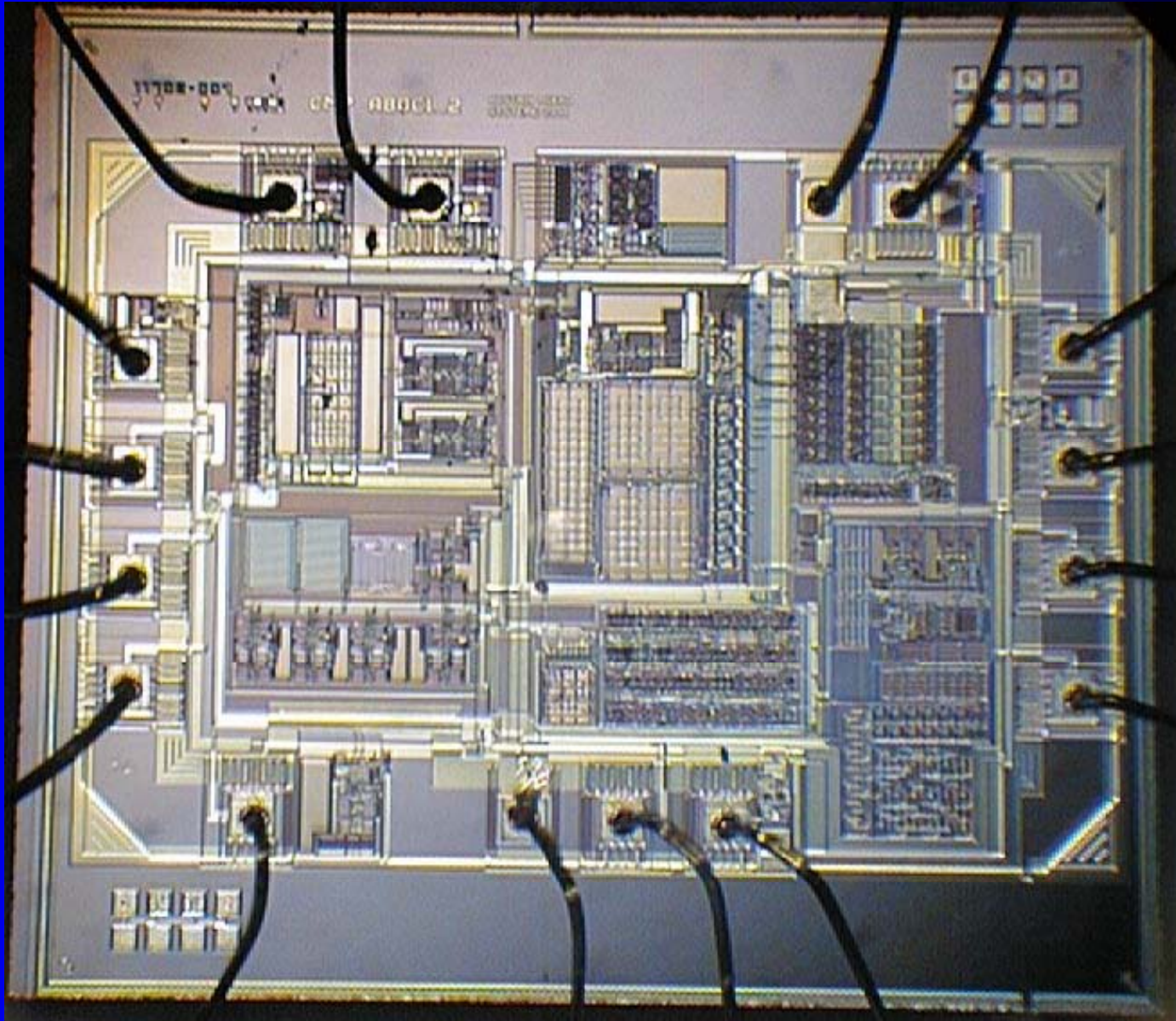
$\Delta = 20\%$; $\delta = 1\%$

$f(T, V)$

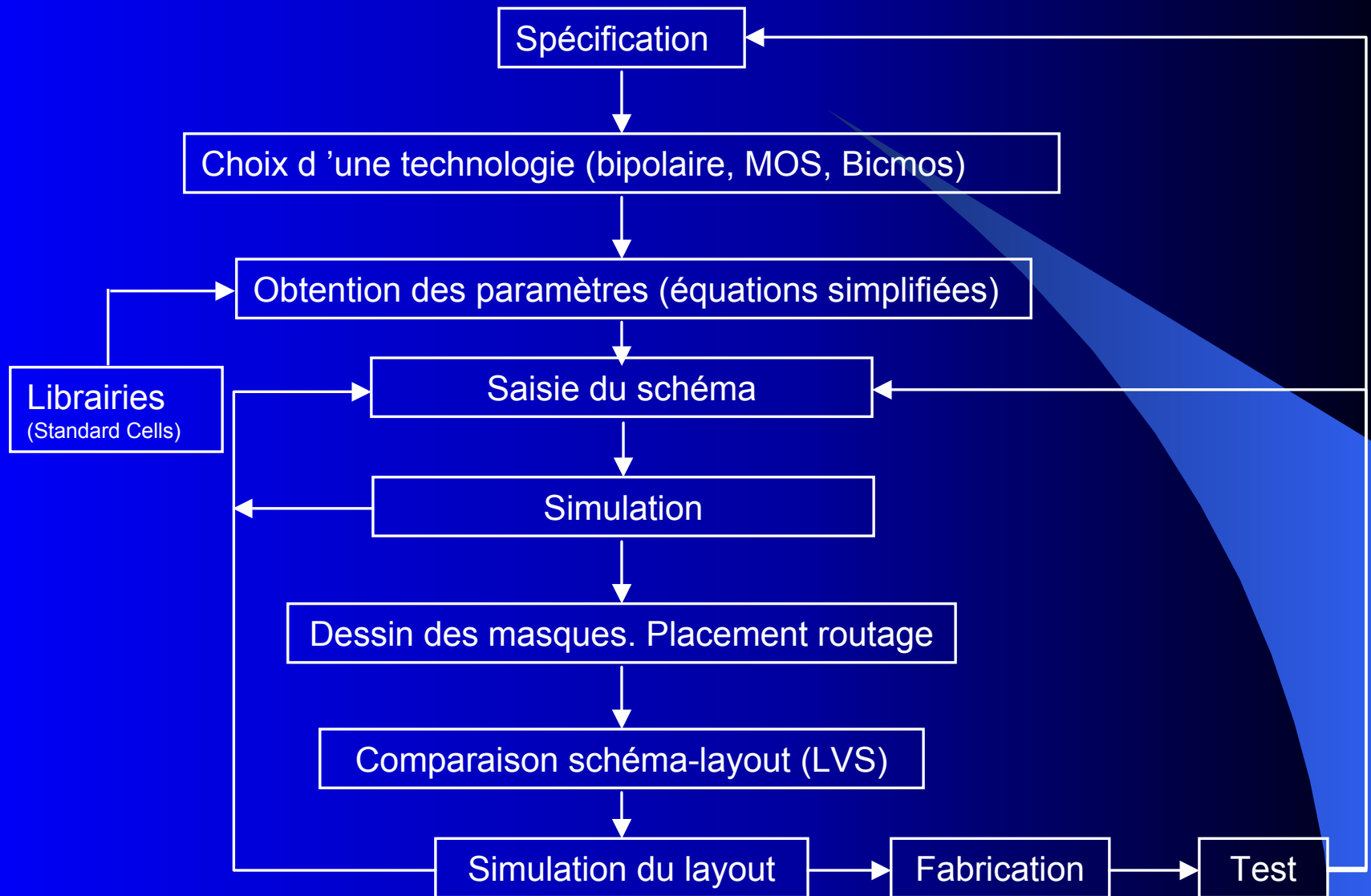


[illegible]

Exemple de circuit intégré : 3x2mm.



Le MOS : Démarche d'intégration



Comparaison CMOS - Bipolaire

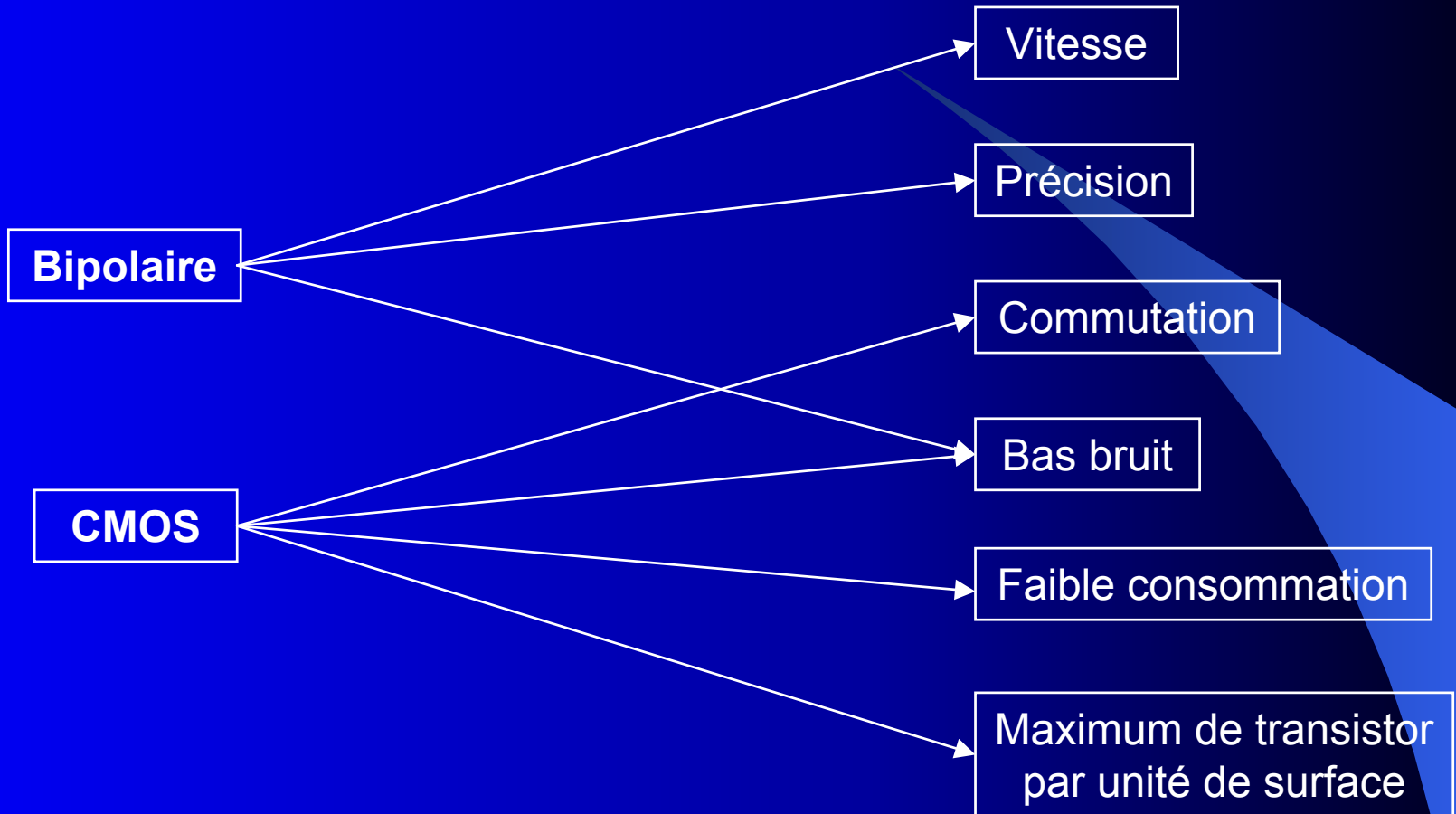
CMOS

- *Grande capacité d'intégration*
- *Circuit VLSI*
- *Faible consommation*
- Adapté à la commutation
- Grande impédance d'entrée
- Meilleur en basse température
- Circuit faible bruit
- Circuit faible coût

Bipolaire

- *Rapide*
- *Plus grande dynamique*
- *Adapté au circuit RF*
- Fonctions non linéaire
- Faible offset
- Meilleur appairage
- Plus grande conductance
- Circuit très faible bruit

Choix d'une technologie



Utilisation du BiCmos : pour un A.O par exemple, on peut utiliser le MOS en entrée pour sa haute impédance et le bipolaire en sortie pour la puissance et la rapidité.

Les types d'intégration

Standard Cells

- Large variété des cellules
- Placement automatique
- Routage automatique
- Temps de développement court
- Sécurité quant au résultat
- Économique

Full Custom

- Plus performant
- Optimisation possible
- Conception totale
- Personnel spécialisé
- Incertitude quand au résultat Coût élevé

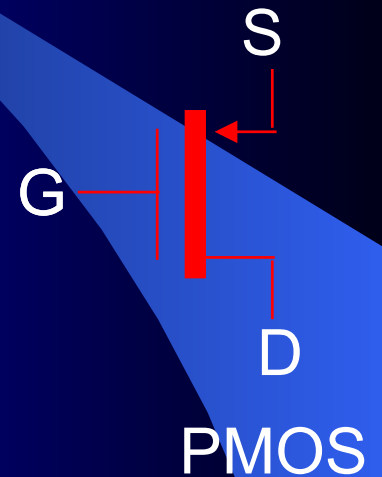
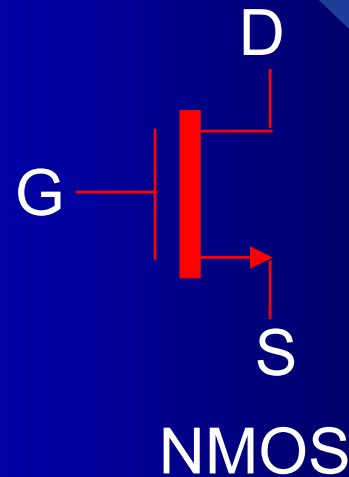
Remarque : Nécessité de développer en Full Custom si la cellule recherchée est inexistante ou les performances très spécifiques.

Les outils de conception

- **Les logiciels**
 - Simulation : Hspice, eldo, spectre, etc
 - Dessin des masques : Virtuoso (environnement Cadence)
 - Mentor Graphics (environnement de travail).
- **Nécessité d'une évolution rapide des logiciels**
 - Faire face à la complexité croissante des circuits analogiques.
 - Faire face aux problèmes liés à la cohabitation de circuits mixtes digitaux-analogiques (SOC).
 - Faire face aux nouvelles technologies.

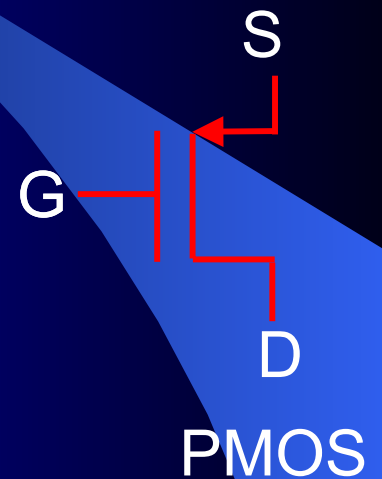
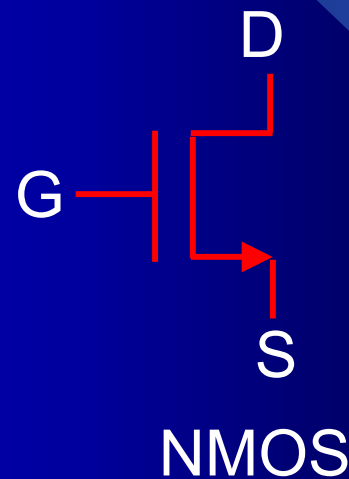
Types de MOS : MOS à déplétion

- conduit pour une tension grille-source nulle
- NMOS : électrons porteurs du courant
- PMOS : trous porteurs du courant

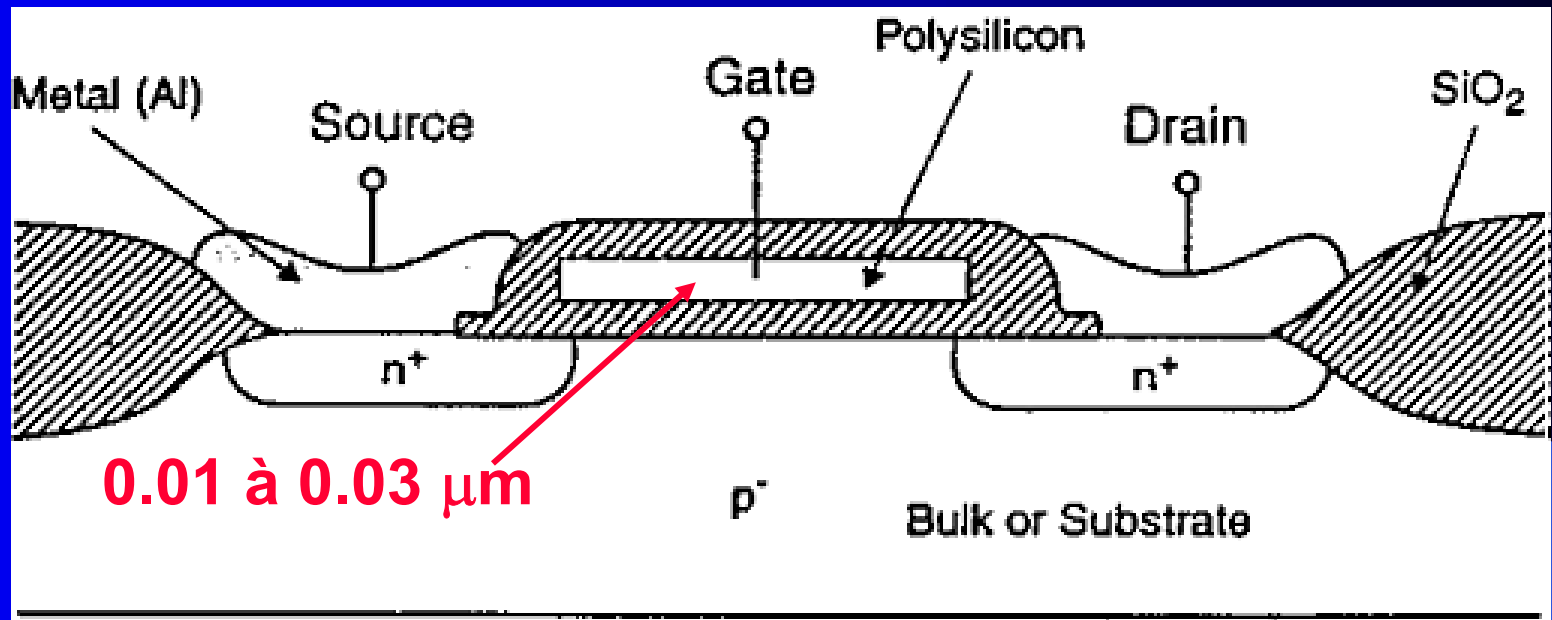


Types de MOS : MOS à enrichissement

- conduit pour une tension grille-source non nulle
- NMOS : électrons porteurs du courant
- PMOS : trous porteurs du courant

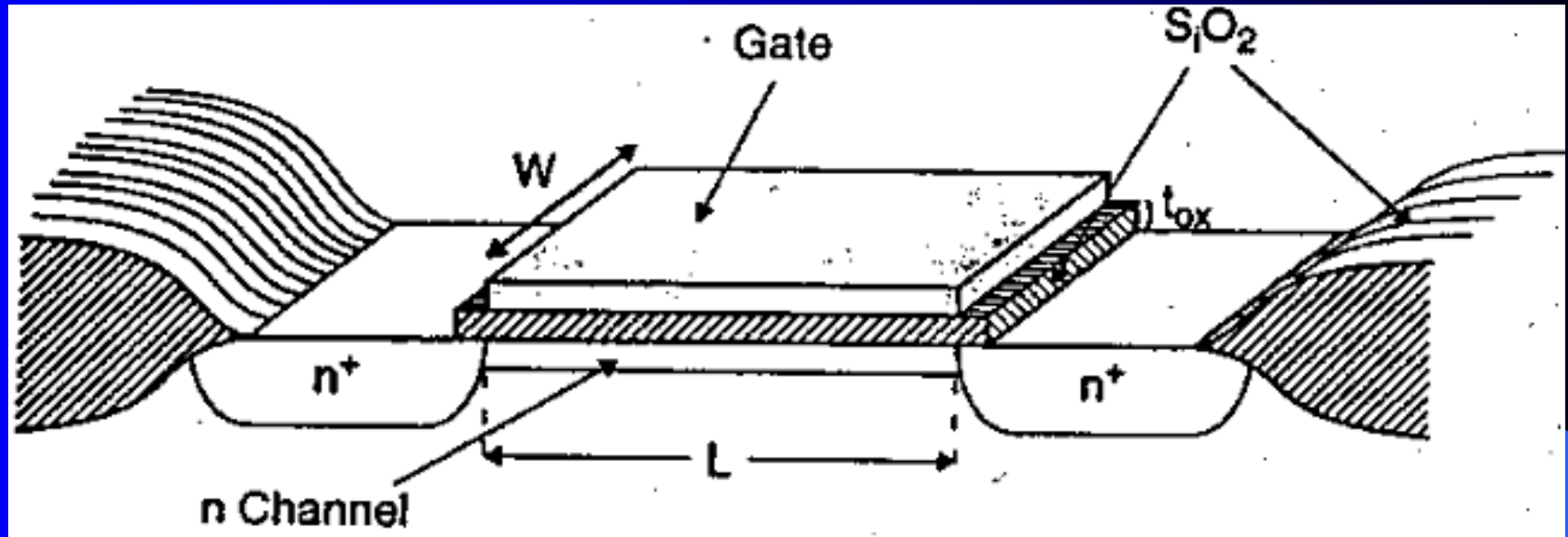


Structure d'un NMOS à enrichissement



- Grille physiquement séparée du substrat par un isolant (**Résistance** $> 10^{14} \Omega$)
- La grille agit par effet capacitif
- Source et Drain physiquement identiques
- Source et Drain distingués uniquement par leur polarisation
- Les porteurs circulent entre la Source et le Drain

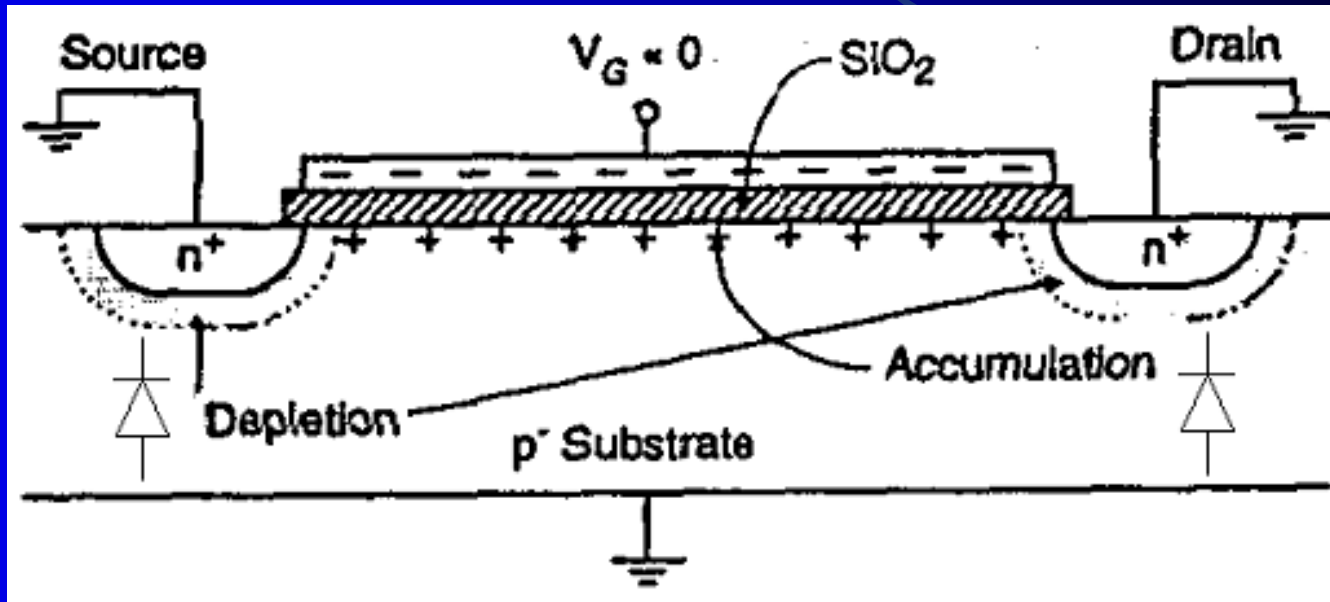
Les dimensions importantes d'un MOS



- L (Length) : Longueur du canal
 - Son minimum est défini par la technologie.
 - *Exemple : Technologie AMS CMOS $0.8\mu m$.*
- W (Width) : Largeur du canal

Fonctionnement : MOS bloqué (régime d'accumulation)

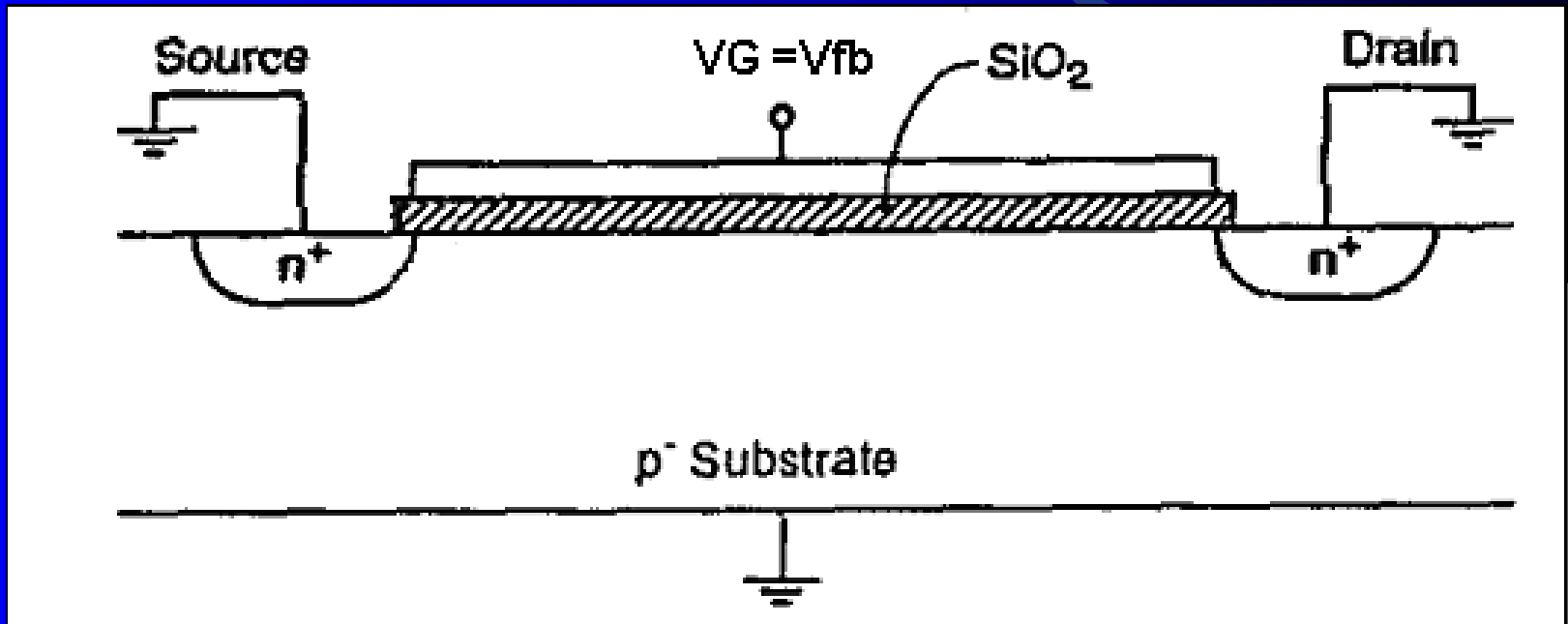
$$V_g < V_{fb} \quad (V_{fbN} \approx -1V \text{ et } V_{fbP} \gg 0,8V)$$



- Accumulation d'électrons dans le métal (ou le polysilicium) au voisinage de l'interface avec l'isolant et accumulation des porteurs majoritaires du substrat, c'est-à-dire des trous (type P) au voisinage de la surface avec l'isolant.
- Création de deux diodes PN polarisées fortement en inverse. Aucun courant ne circule entre le drain et la source

Fonctionnement : MOS bloqué (Etat de bande plate)

$$V_g = V_{fb} \quad (V_{fbN} \approx -1V \text{ et } V_{fbP} \gg 0,8V)$$

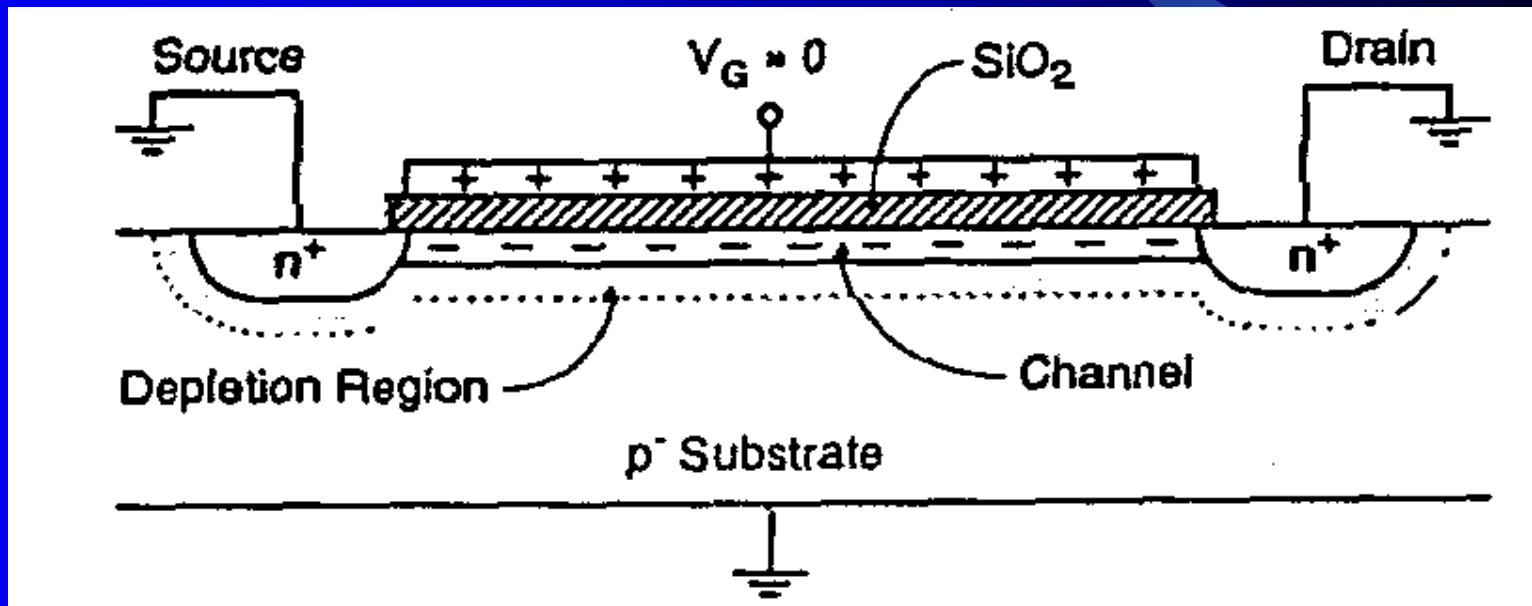


- La répartition des charges est uniforme dans le métal et le semi-conducteur

Fonctionnement : MOS bloqué (régime de désertion)

$$V_g > V_{fb} \text{ (} V_g \text{ proche de } V_{fb} \text{)}$$

$n < n_i < p$ au voisinage de la surface dans le substrat

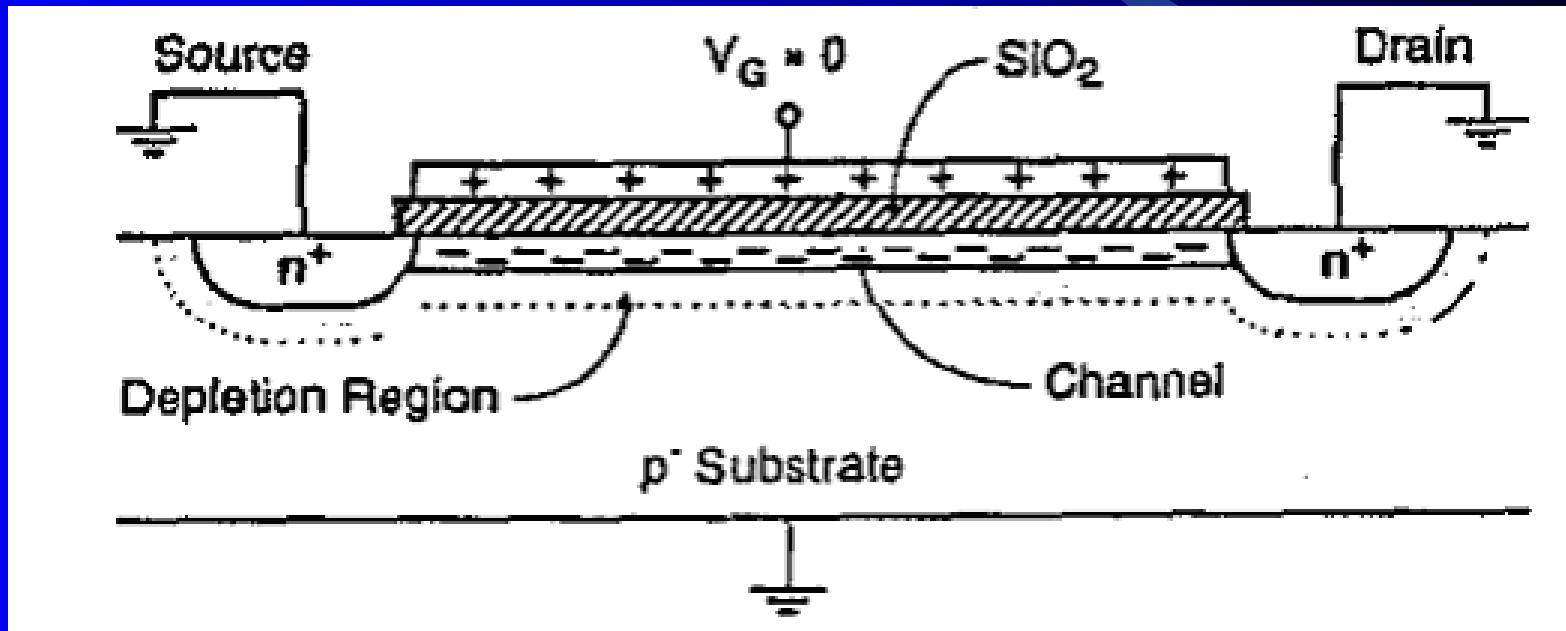


- Les trous, mobiles et majoritaires, sont repoussés loin de la surface. Il se crée alors une zone de charges d'espace (ZCE) due aux ions accepteurs, fixes, au voisinage de la surface.

Fonctionnement : MOS bloqué (régime d'inversion)

$V_g > V_{fb}$ (V_g grande devant V_{fb})

$p < n_i < n$ au voisinage de la surface dans le substrat



- Le semi-conducteur change de type de porteur majoritaire au voisinage de la surface, d'où le terme d'inversion. La zone peuplée en majorité d'électrons au voisinage de la surface est appelée le canal.

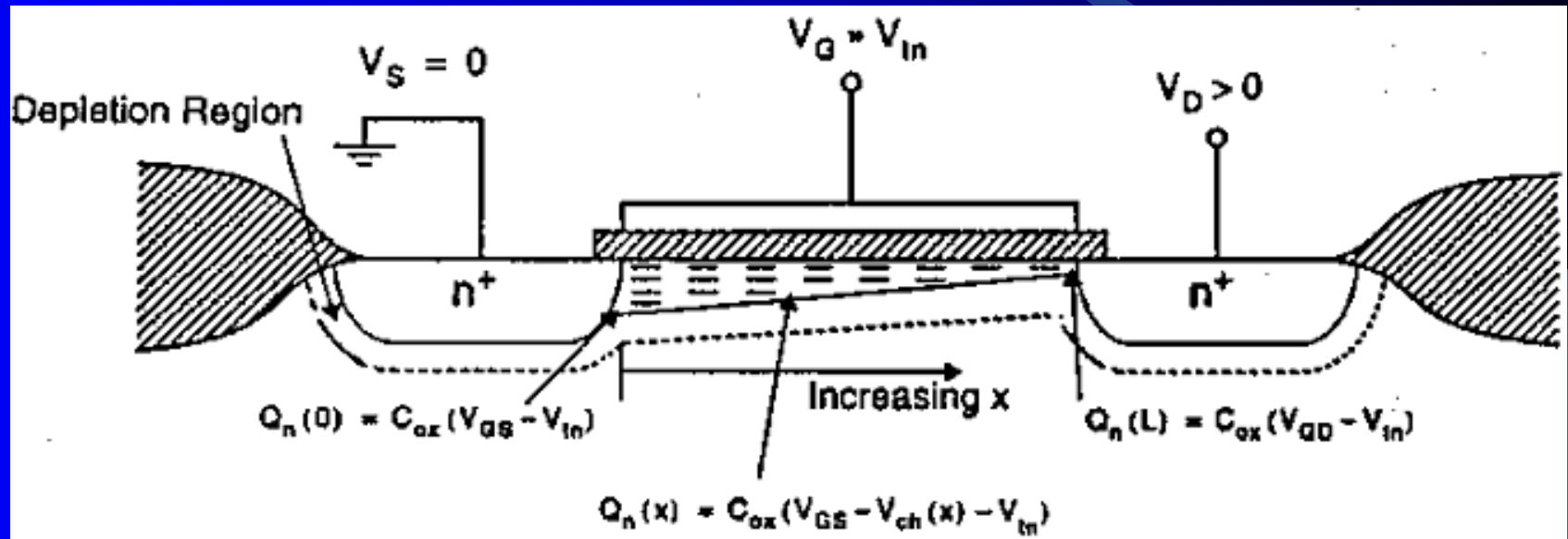
Condition de création du canal N

- Lorsque $p = n = n_i$ en surface, le semi-conducteur est intrinsèque en cet endroit. Appelons V_T , la tension de seuil, valeur de V_G supérieure à V_{fb} pour laquelle le semi-conducteur est intrinsèque en surface
- V_{th} (Threshold Voltage) : Potentiel de grille pour lequel la densité de charges apportée sous la grille est le double de la densité des charges de dopant à $V_G=0V$ (au dessous de l'isolant).
- $V_G < V_{th}$: transistor bloqué
- $V_G > V_{th}/2$: création du canal N (électrons)

Fonctionnement : MOS conducteur (Régime linéaire, régime quadratique)

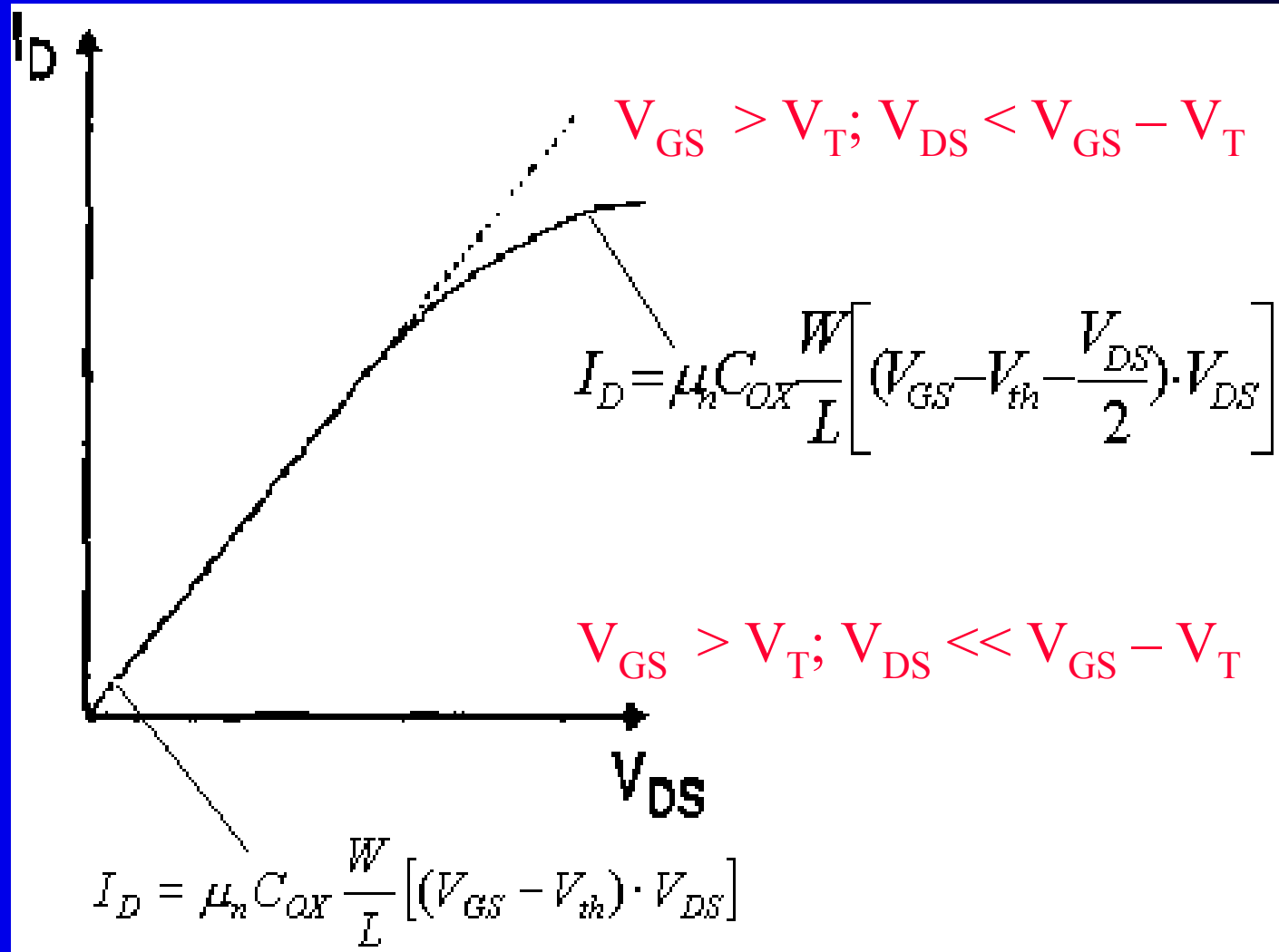
$$V_G > V_T; V_D > V_S; V_{DS} < V_{GS} - V_T$$

$n < n_i < p$ au voisinage de la surface dans le substrat



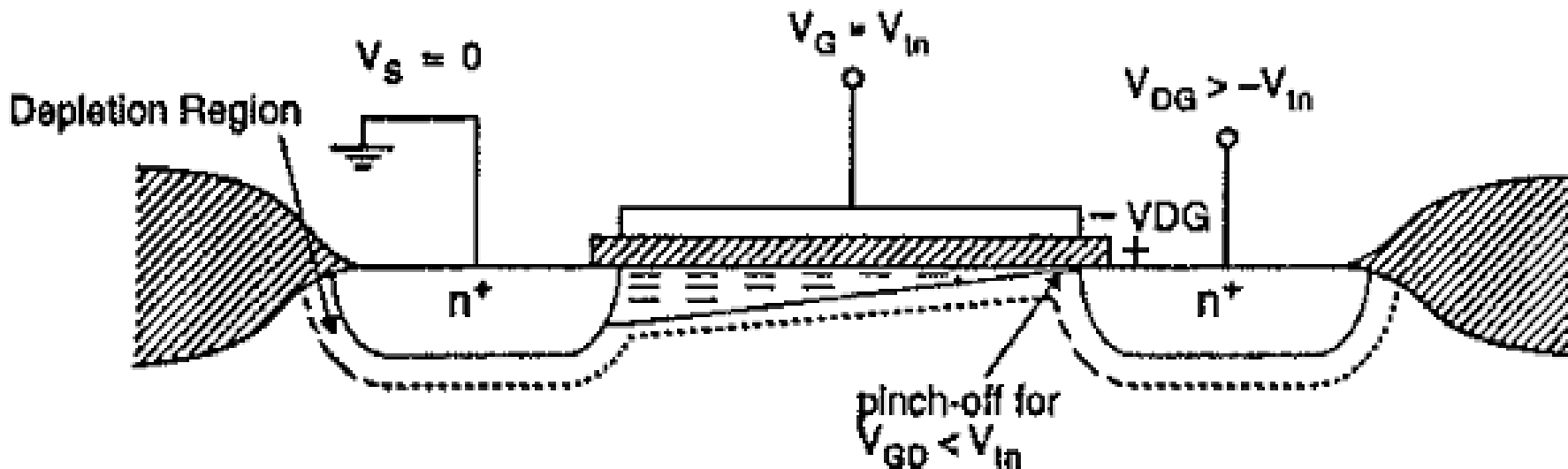
- Le transistor fonctionne alors en régime dit linéaire ou ohmique puis quadratique lorsque V_{DS} devient proche de $V_{GS} - V_T$
- Le canal est plus mince au voisinage du drain.
- La tension V_G influence directement la profondeur du canal (axe des X) et donc sur sa conductivité. Le courant que l'on peut faire passer entre le drain et la source est donc modulé par la tension appliquée à la grille V_G .

Fonctionnement : MOS conducteur (Régime linéaire, régime quadratique)



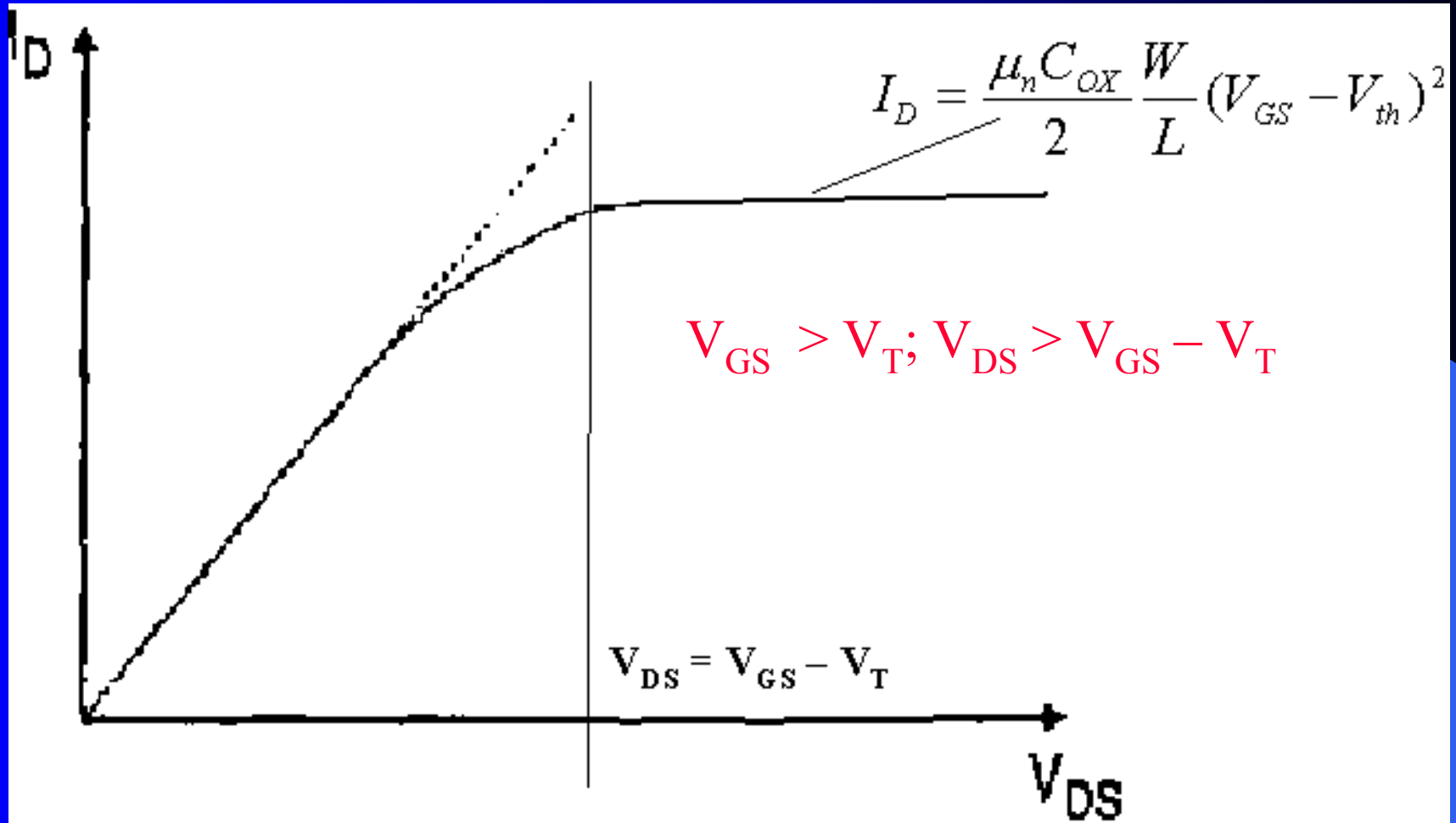
Fonctionnement : MOS conducteur (Régime de saturation)

$$V_G > V_T; V_D > V_S; V_{DS} > V_{GS} - V_T = V_{DSsat}$$



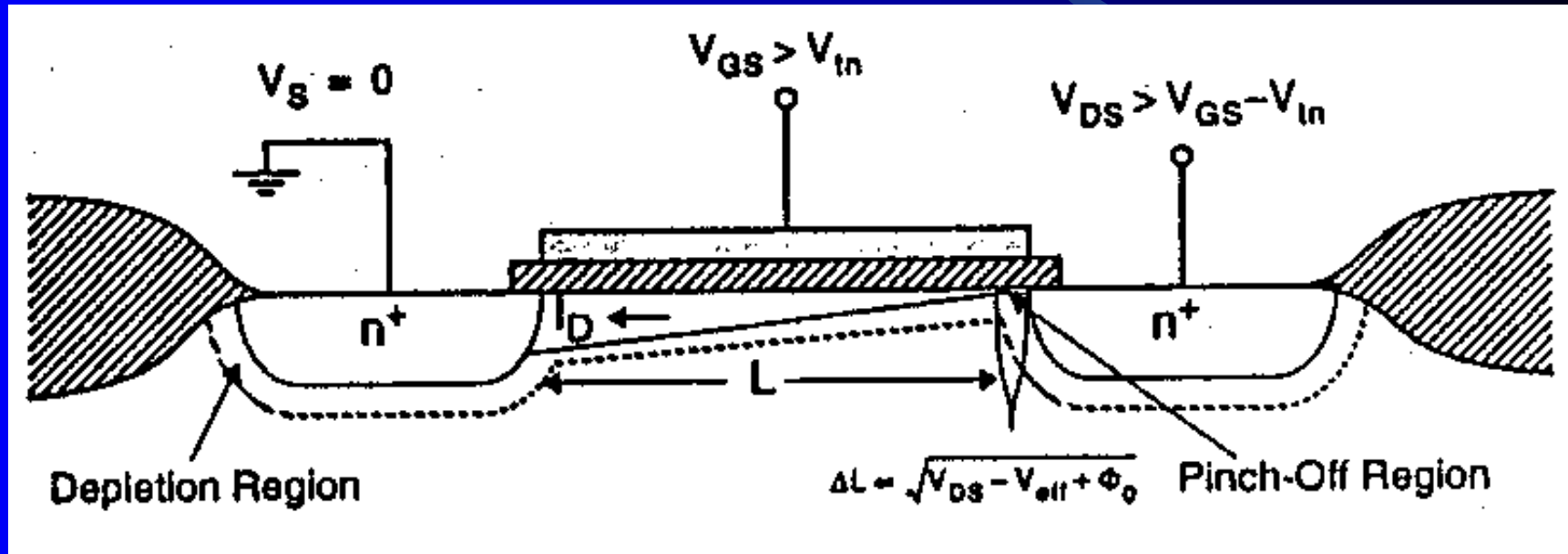
- Le canal du transistor prend une forme parabolique (triangulaire pour de très faibles tensions V_{DS}) en première approximation dont la pointe rejoint l'extrémité du drain. Les charges sont propulsées au travers de la ZCE séparant cette pointe du triangle et le drain.
- $V_{DSsat} = V_{GS} - V_T$ est appelée la tension de saturation drain-source. Le courant correspondant I_{Dsat} est appelé courant de saturation.

Fonctionnement : MOS conducteur (Régime de saturation)



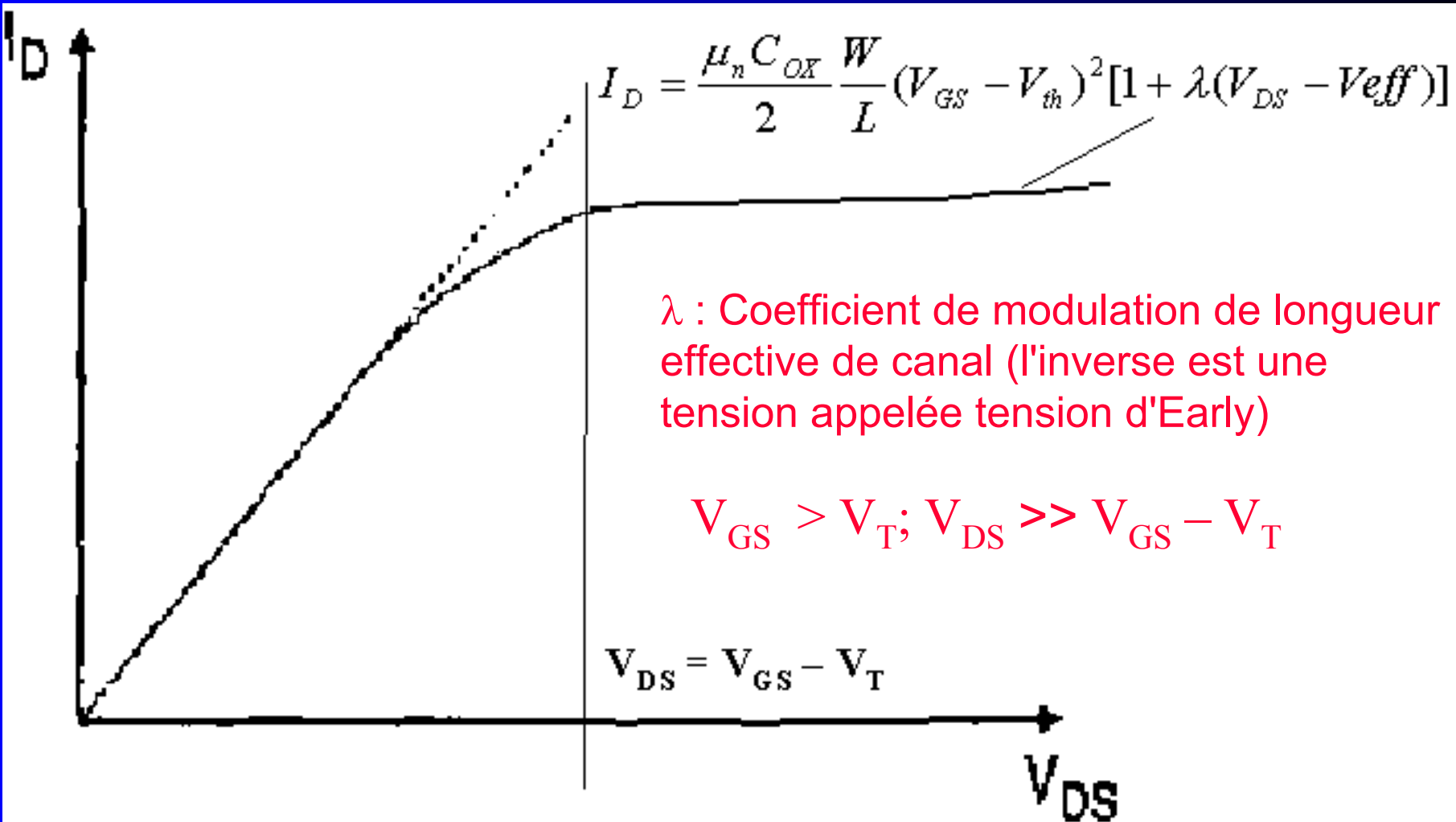
Fonctionnement : MOS conducteur (Régime de forte saturation)

$$V_{GS} > V_T; V_D > V_S; V_{DS} \gg V_{GS} - V_T = V_{DSsat}$$



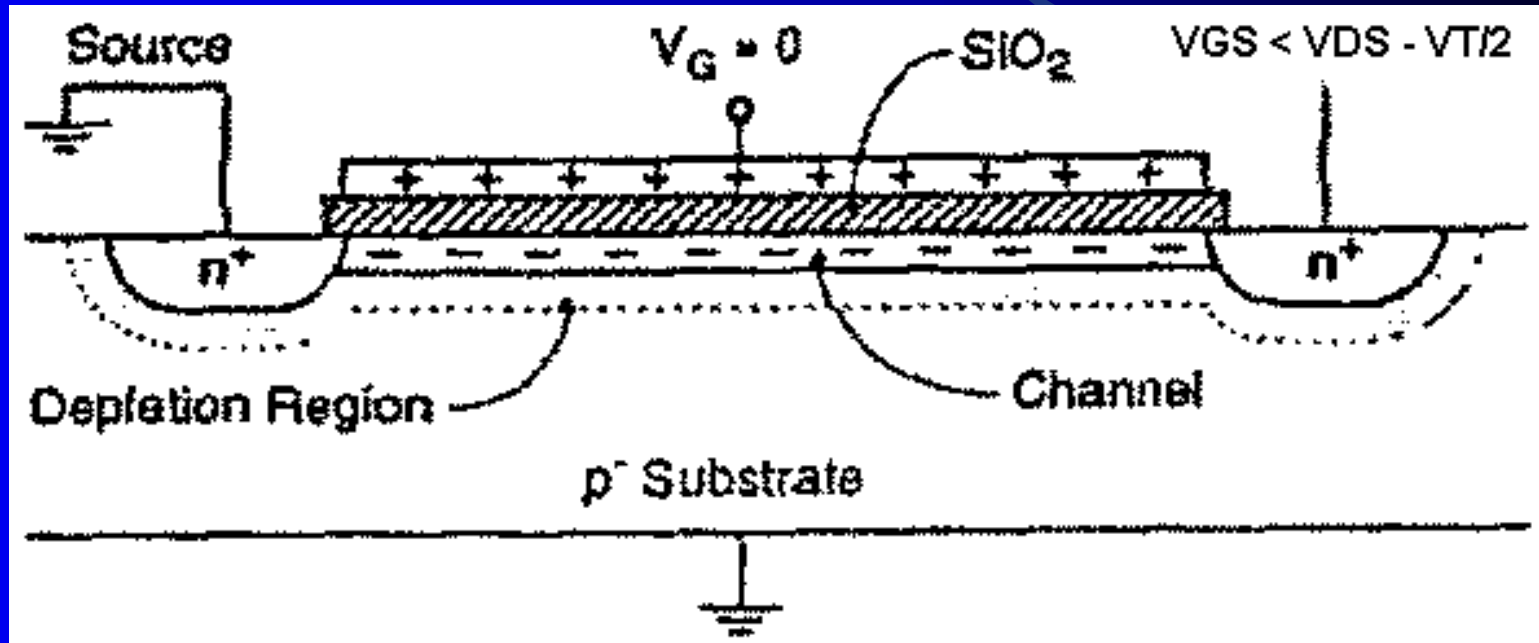
- Lorsque le canal est pincé, la longueur effective du canal diminue.
- La valeur du courant I_D est **modulée** par V_{DS} .
- La vitesse des porteurs n'augmente plus de manière linéaire avec le champ électrique (Saturation de la mobilité des porteurs).

Fonctionnement : MOS conducteur (Régime de forte saturation)



Fonctionnement : MOS conducteur (Régime de faible inversion)

$$V_T/2 < V_{GS} < V_T; V_D > V_S; V_{DS} < V_{GS} - V_T$$



Les trous, mobiles et majoritaires, sont repoussés loin de la surface. Il se crée alors une zone de charge d'espace (ZCE) due aux ions accepteurs, fixes, au voisinage de la surface.

Pour $V_{th}/2 < V_g < V_{th}$, le canal n'est pas complètement formé mais un courant très faible peut circuler entre le Drain et la Source, c'est le régime de faible inversion.

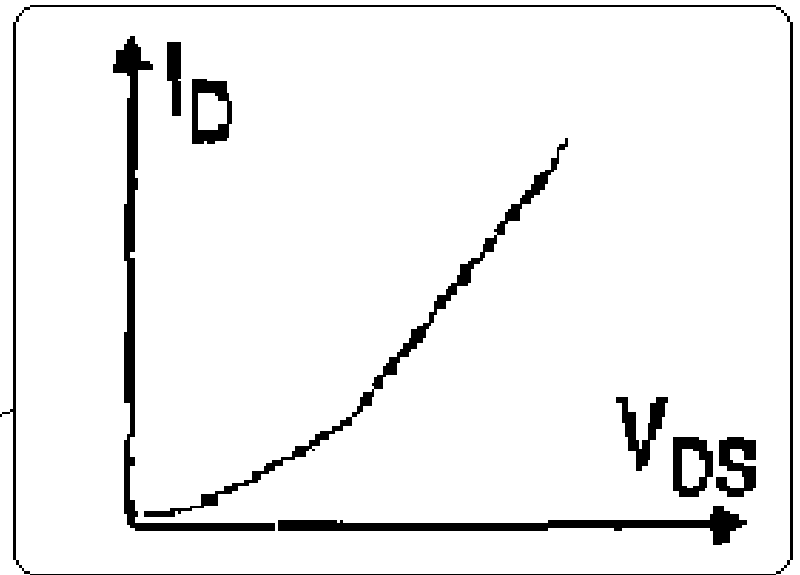
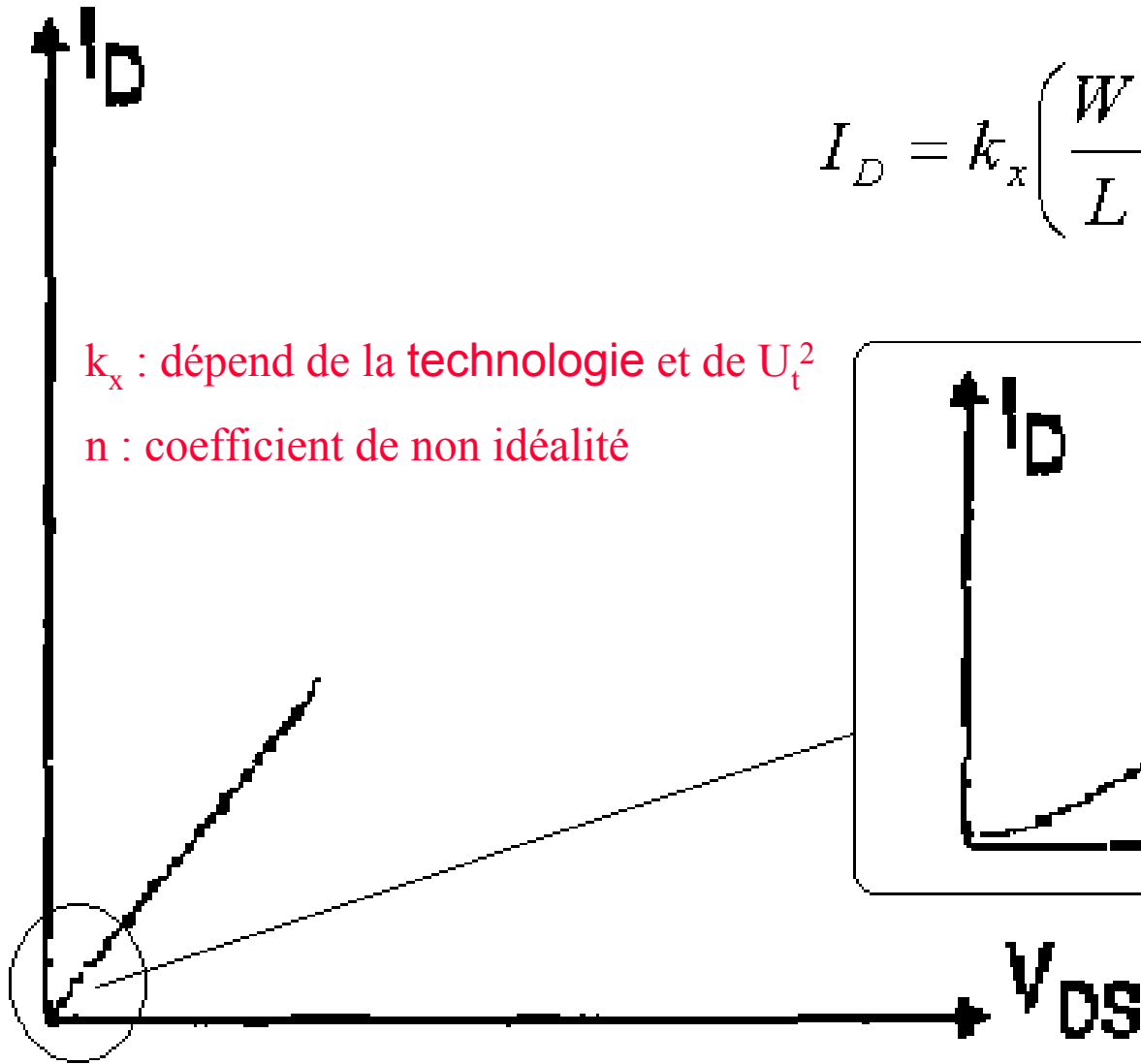
Le transistor MOS se comporte comme un transistor bipolaire.

Fonctionnement : MOS conducteur (Régime de faible inversion)

$$I_D = k_x \left(\frac{W}{L} \right) e^{\frac{V_{GS}}{nU_t}} \left(1 - e^{-\frac{V_{DS}}{nU_t}} \right)$$

k_x : dépend de la technologie et de U_t^2

n : coefficient de non idéalité



Le coefficient d'inversion

Le coefficient d'inversion IC permet de connaître le régime de fonctionnement du transistor.

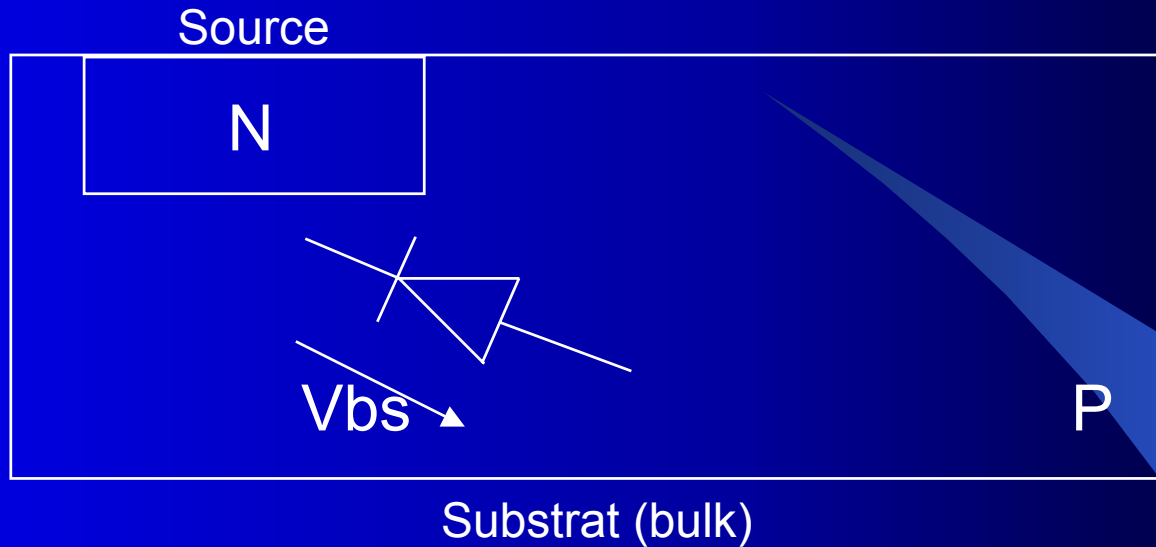
$$IC = \frac{I_D}{2K' \frac{W}{L} U_T^2}$$

- Si $IC \gg 1$ alors régime de forte inversion
- Si $IC = 1$ alors régime de moyenne inversion
- Si $IC \ll 1$ alors régime de faible inversion)

Applications de la faible inversion :

- faible consommation
- faibles tensions
- Hautes fréquences

Effet de substrat



- $V_{bs} > 0$; diode en directe :
courant parasite fort (détérioration du composant).
- $V_{bs} < 0$; diode bloquée :
 V_{gs} plus important pour compenser l'effet du substrat

Effet de substrat

Dans le cas où le substrat n'est pas au même potentiel que la source, V_{th} est modifiée (effet de second ordre)

$$V_{th} = V_{th0} + \gamma \left(\sqrt{V_{SB} + |2\Phi_F|} - \sqrt{|2\Phi_F|} \right)$$

Tension de seuil à $V_{SB}=0V$

Tension de bande plate

Différence de tension
entre source et substrat
(Source/Bulk)

$$\gamma = \frac{\sqrt{2qN_A K_S \epsilon_0}}{C_{OX}}$$

Coefficient d'effet de substrat

Facteur correctif (Spice)

On introduit le facteur de correction n (techno submicronique)

$$n = 1 + \frac{\gamma}{2\sqrt{\phi - V_{BS}}}$$

γ = (GAMMA) "Bulk Threshold parameter" ($V^{1/2}$)

ϕ = (PHI) "Surface potential" (V) ($2\phi_F$)

Corrections (V_{dsat} , I_{ds} , I_{dsat})

$$V_{DSsat} = \frac{V_{GS} - V_{th}}{n}$$

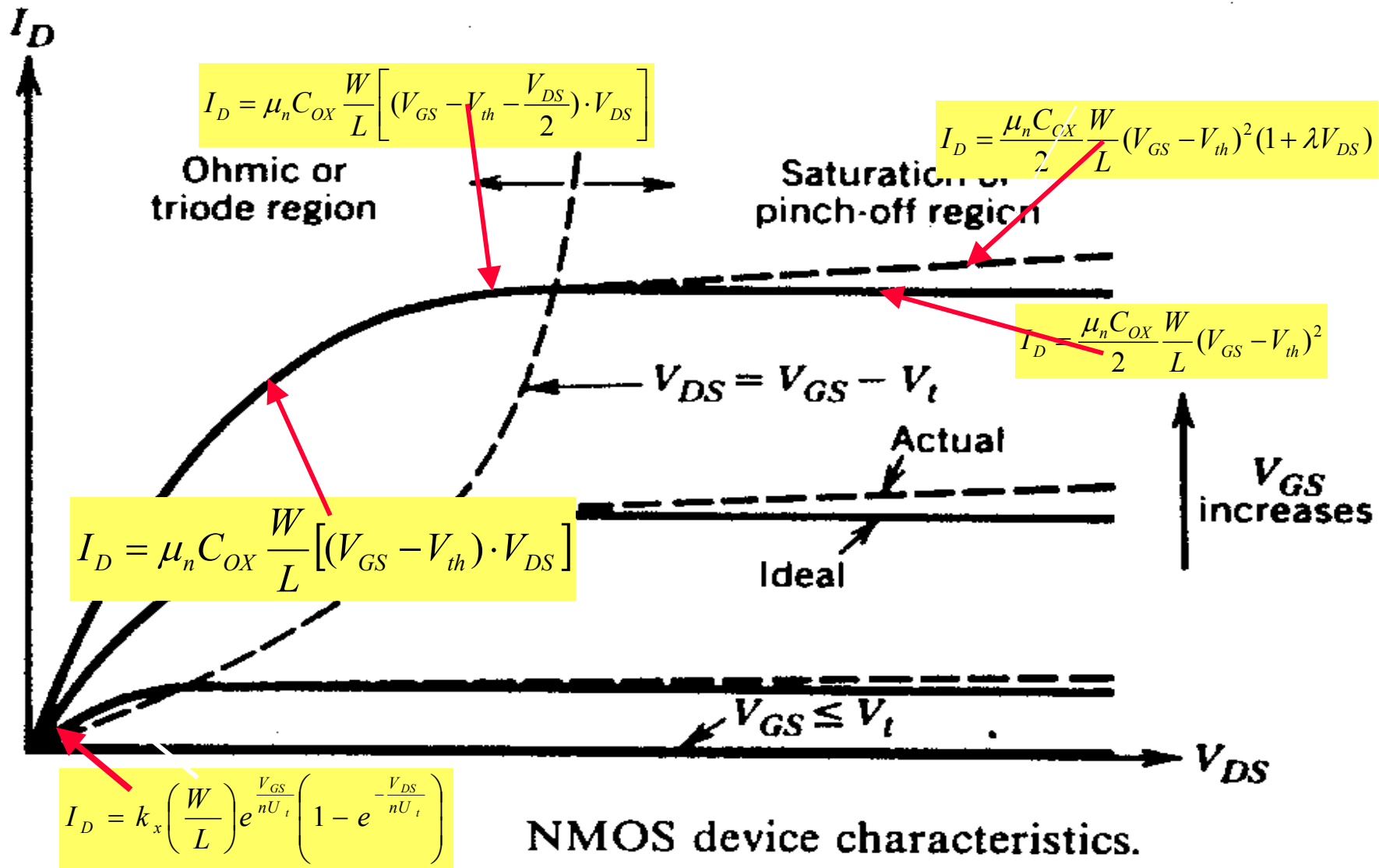
$$i_{DS} = \beta \left(V_{GS} - V_{th} - \frac{n}{2} V_{DS} \right) \cdot V_{DS}$$

$$i_{DSsat} = \frac{\beta}{2n} (V_{GS} - V_{th})^2$$

Attention aux corrections même si $V_{bs}=0$!!!!!

Différents niveaux de simulation
Le « hand calculation » peut devenir difficile

Récapitulation

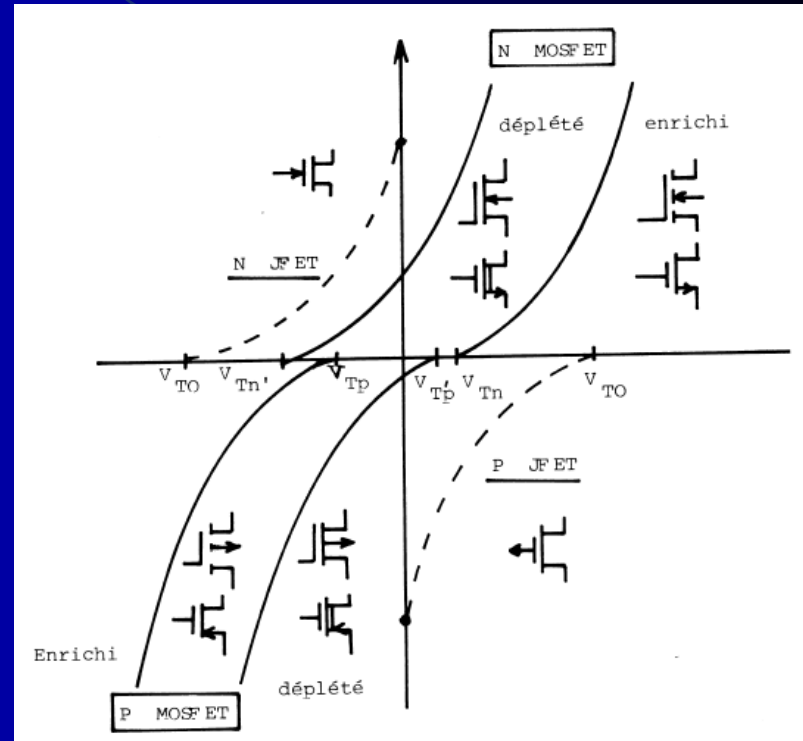
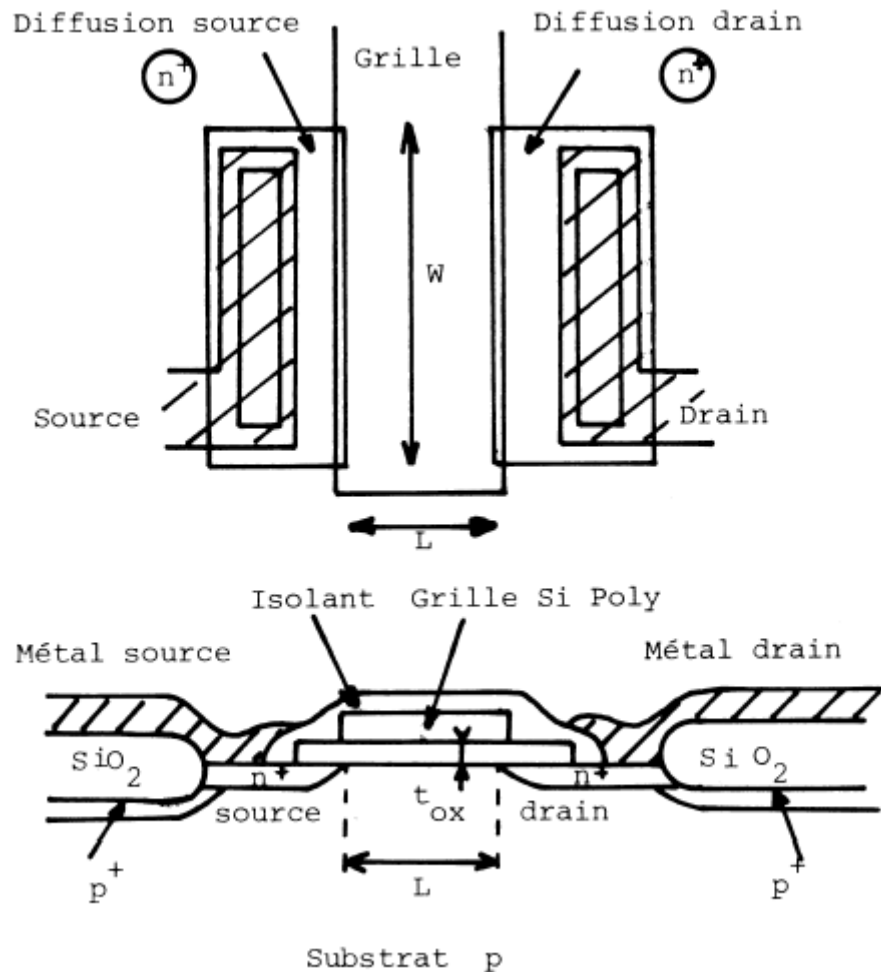


MOS et Spice

SPICE dispose de quatre modèles de transistors MOS :

- 1) modèle de niveau 1 ($LEVEL = 1$) : de type Shichman et Hodges quadratique, c'est le modèle par défaut
- 2) modèle de niveau 2 ($LEVEL = 2$) : c'est un modèle analytique qui prend en compte des effets de second ordre et de petite taille
- 3) modèle de niveau 3 ($LEVEL = 3$) : modèle semi-empirique particulièrement destiné aux MOS de très petite taille.
- 4) modèle de niveau 4 ($LEVEL = 4$) : lié aux paramètres du processus de fabrication.

Géométrie, caractéristiques, symboles



Effet capacitif de la grille. La capacité par unité de surface est :

$$C_{OX} = \frac{\epsilon_{OX}}{t_{OX}}$$

ϵ_{OX} = Permittivité diélectrique de l'oxyde de silicium isolant la grille ($34,5306 \cdot 10^{-12}$ F/m)

t_{OX} = épaisseur de l'isolant (m)

Par ex : $34,5306 \cdot 10^{-12} / 20 \cdot 10^{-9} = 17,3 \cdot 10^{-4}$ pF/ μm^2 (F/m²)

Sa surface est donnée par le produit $W \times L$, de la largeur par la longueur

Les paramètres SPICE dépendent du niveau (LEVEL)

Niveaux 1, 2 et 3 : VTO, tension de seuil (V)

KP, transconductance (A/V²) (KP=UO * COX)

UO = mobilité (en cm²/V.s)

LAMBDA, modulation largeur de canal (V⁻¹)

PHI potentiel de surface (V)

GAMMA, paramètre de seuil substrat (V^{1/2})

+ CGSO, CGDO, CGBO, CJSW, W et L

Exemples de modèle (CMOS 0,8u)

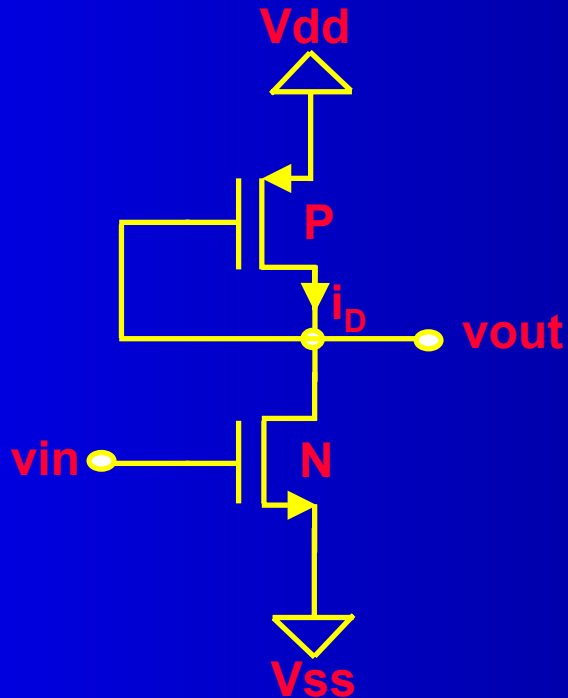
```
model N1 NMOS LEVEL=1 ( VTO=0.8 UO=600.00  
+TOX=20.00E-09 GAMMA=0.7 PHI=0.7 CGSO=100.0p  
+ CGDO=100.0p CGBO=60.0p CJSW=240.0p)
```

Le KP équivalent est $KP = UO * COX = 0,06 * 17,3 \cdot 10^{-4}$
 $= 103,6 \cdot 10^{-6} \text{ A/V}^2$

```
model P1 PMOS Level=1 VTO=-0.8 UO=200.00 TOX=20.00E-9  
+ GAMMA=0.450 PHI=0.700 CGSO=100p CGDO=100p  
+ CGBO=60.0p CJSW=240.0p
```

Le KN équivalent est $34,533 \cdot 10^{-6} \text{ A/V}^2$

Application : ampli à charge active



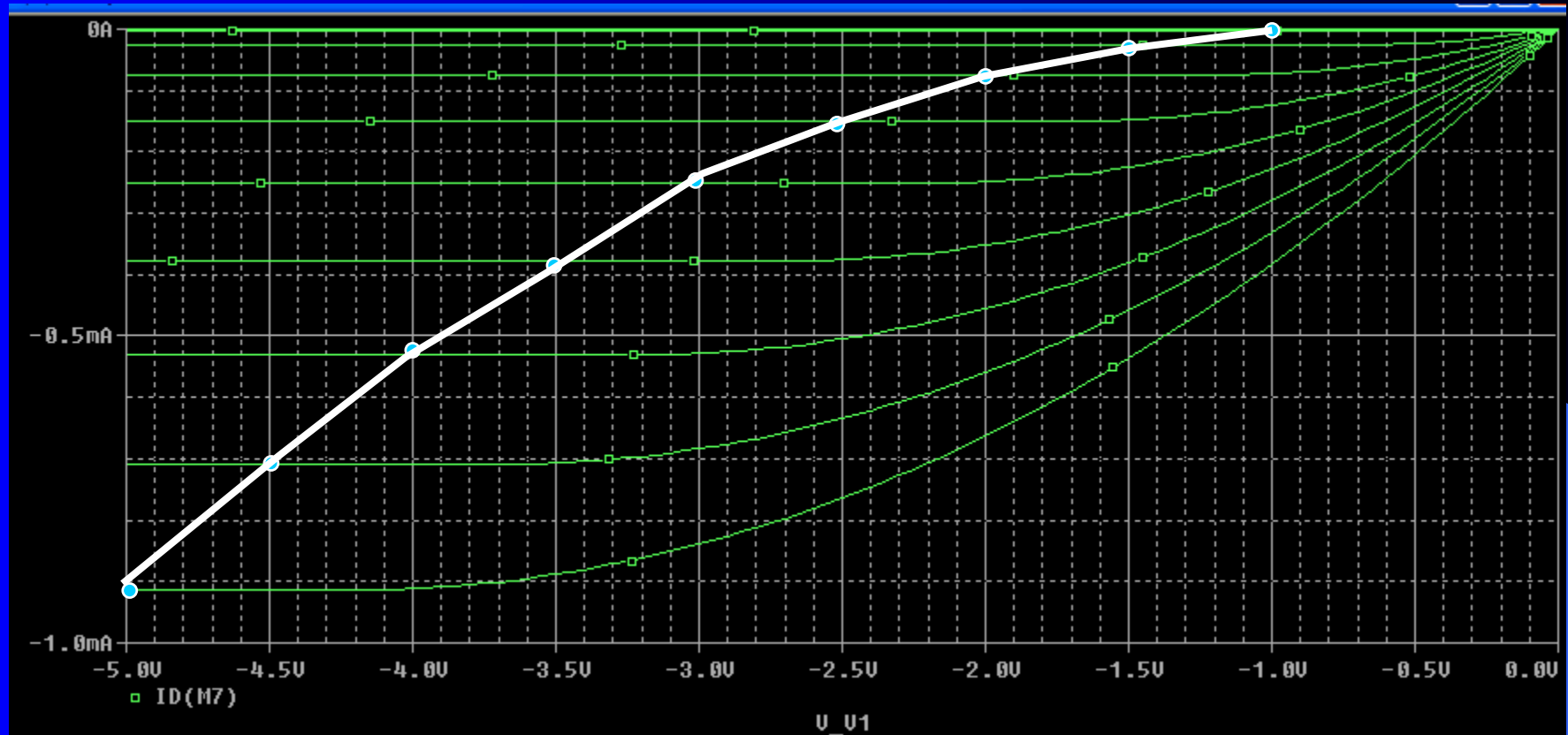
Paramètres

- Technologie : $0.8\ \mu\text{m}$
- $V_{dd} = 5\text{V}$
- $V_{ss} = 0\text{V}$
- $K_n = 103,6\ \mu\text{A/V}^2$
- $K_p = 34,53\ \mu\text{A/V}^2$
- $V_{thn} = 0.8\ \text{V}$
- $V_{thp} = -0.8\ \text{V}$
- $K = \mu_n C_{ox}$

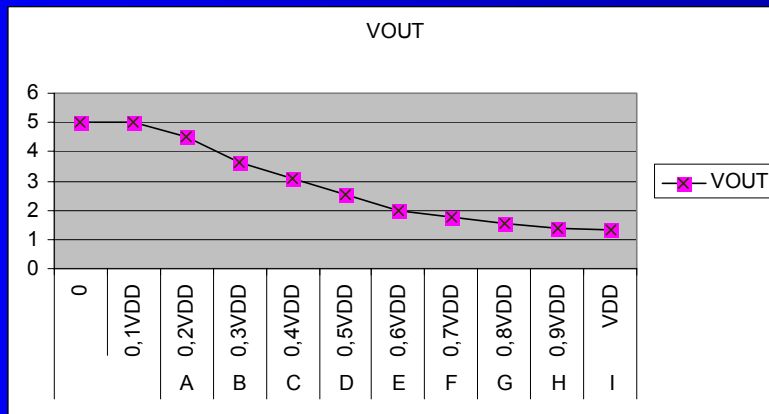
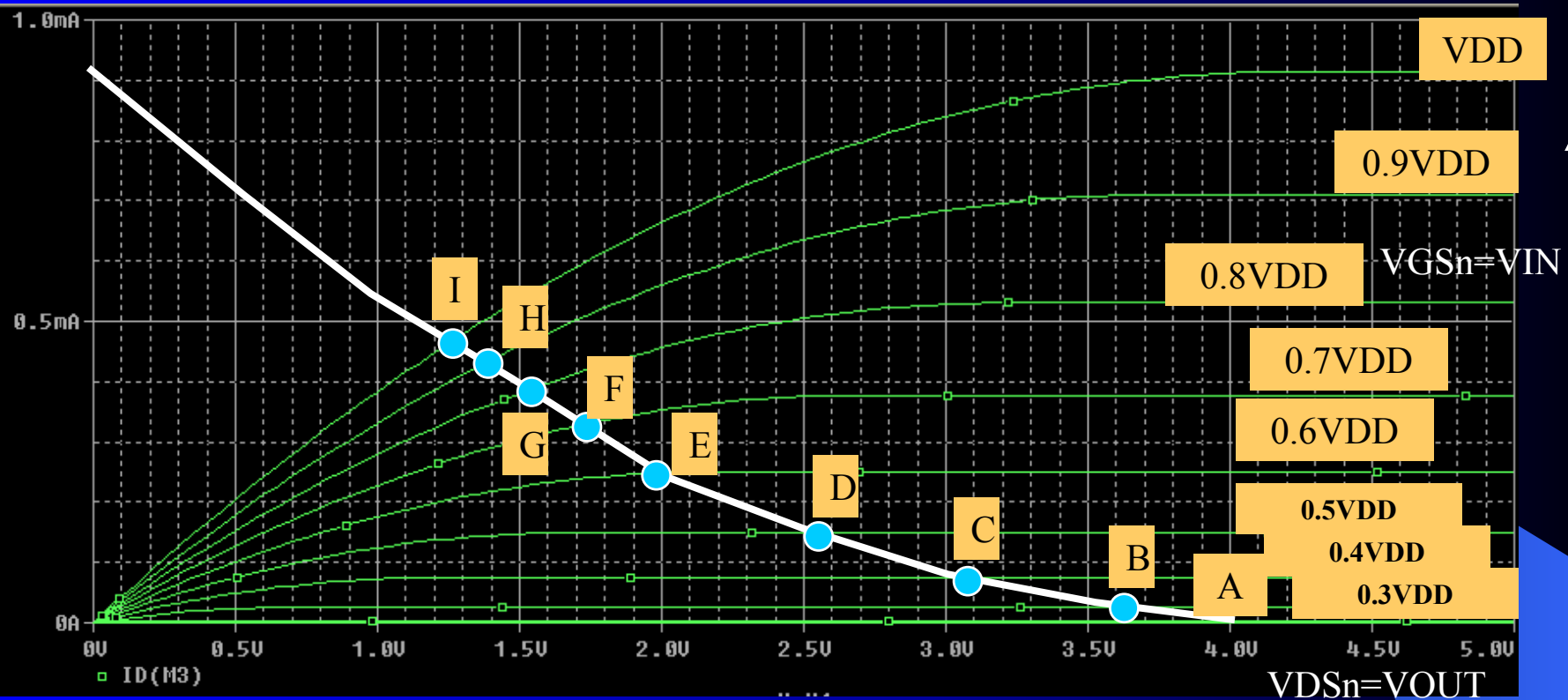
Fonctionnement en diode du transistor P

Saturation ($V_{GS} = V_{DS}$)

$$I_{DSp} = K_P/2 (W/L) (V_{SG} - V_T)^2$$



« Droite » de charge pour le transistor N



$$V_{OUT(max)} \approx V_{DD} - |V_{Tn}|$$

Pour $V_{OUT}(\min)$ ($V_{IN}=V_{GS}=V_{DD}$) on a N non saturé et P saturé

$$\begin{aligned} I_D &= K_n \frac{W}{L} \left[(V_{GSn} - V_T) V_{DSn} - \frac{V_{DSn}^2}{2} \right] \\ &= K_n \frac{W}{L} \left[(V_{DD} - V_T) V_{OUT} - \frac{V_{OUT}^2}{2} \right] = \beta_n \left[(V_{DD} - V_T) V_{OUT} - \frac{V_{OUT}^2}{2} \right] \end{aligned}$$

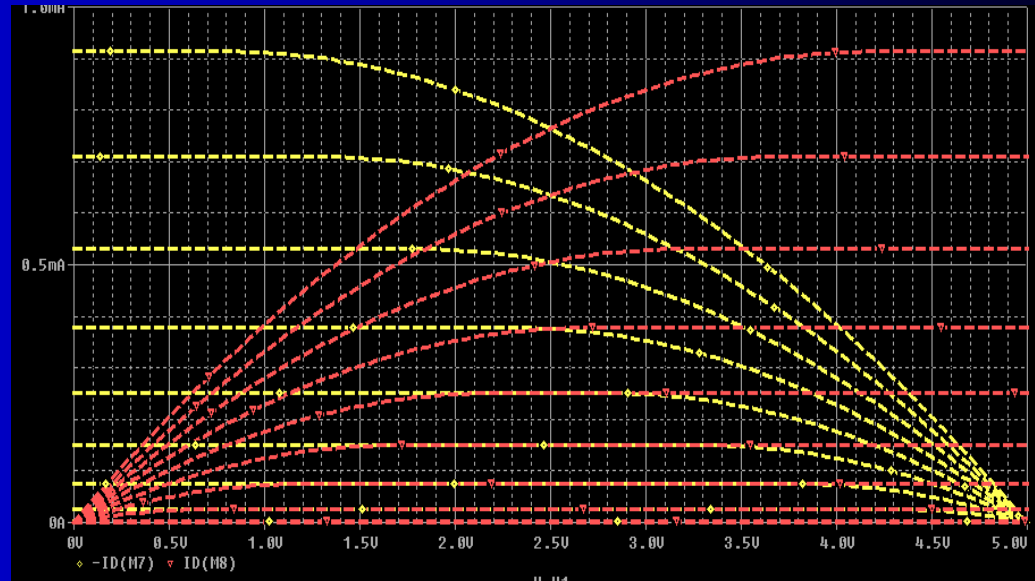
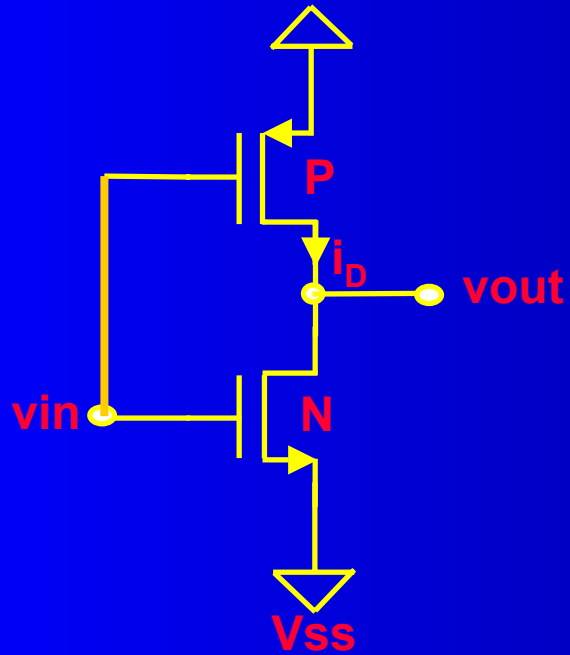
$$I_D = K_p \frac{W}{L} (V_{SGp} - V_T)^2 = \beta_p (V_{DD} - V_{OUT} - V_T)^2$$

À résoudre avec application numérique

Exercice 1 : Trouvez le rapport entre $(W/L)_p$ et $(W/L)_n$ si l'on veut avoir $V_{out} = 3,7V$ pour $V_{in} = 1,5V$, avec $V_{DD} = 5V$.

Donnez une solution pour avoir $I_D = 25 \mu A$.

L'inverseur de type « push-pull »



$$V_{IN} = V_{GSn} = V_{DD} - V_{SGp}$$

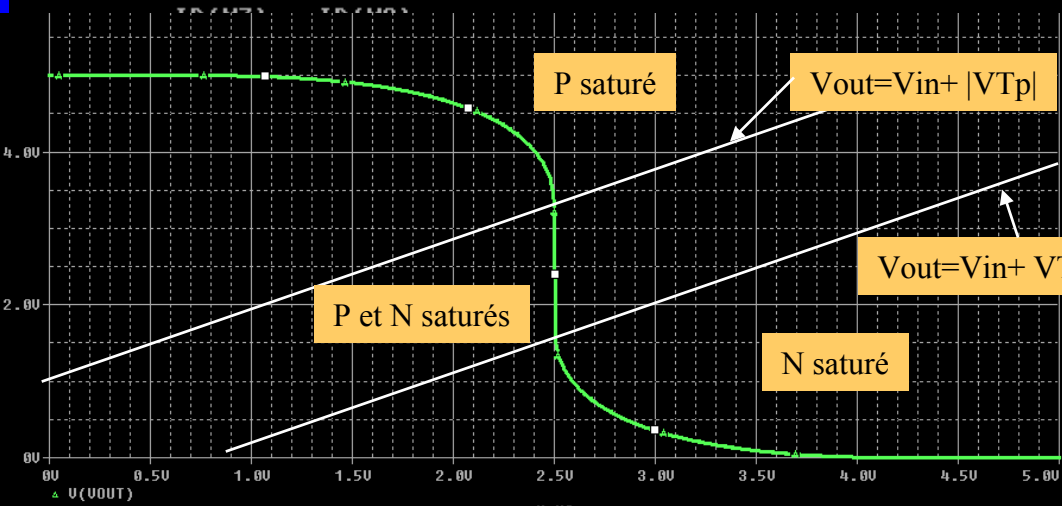
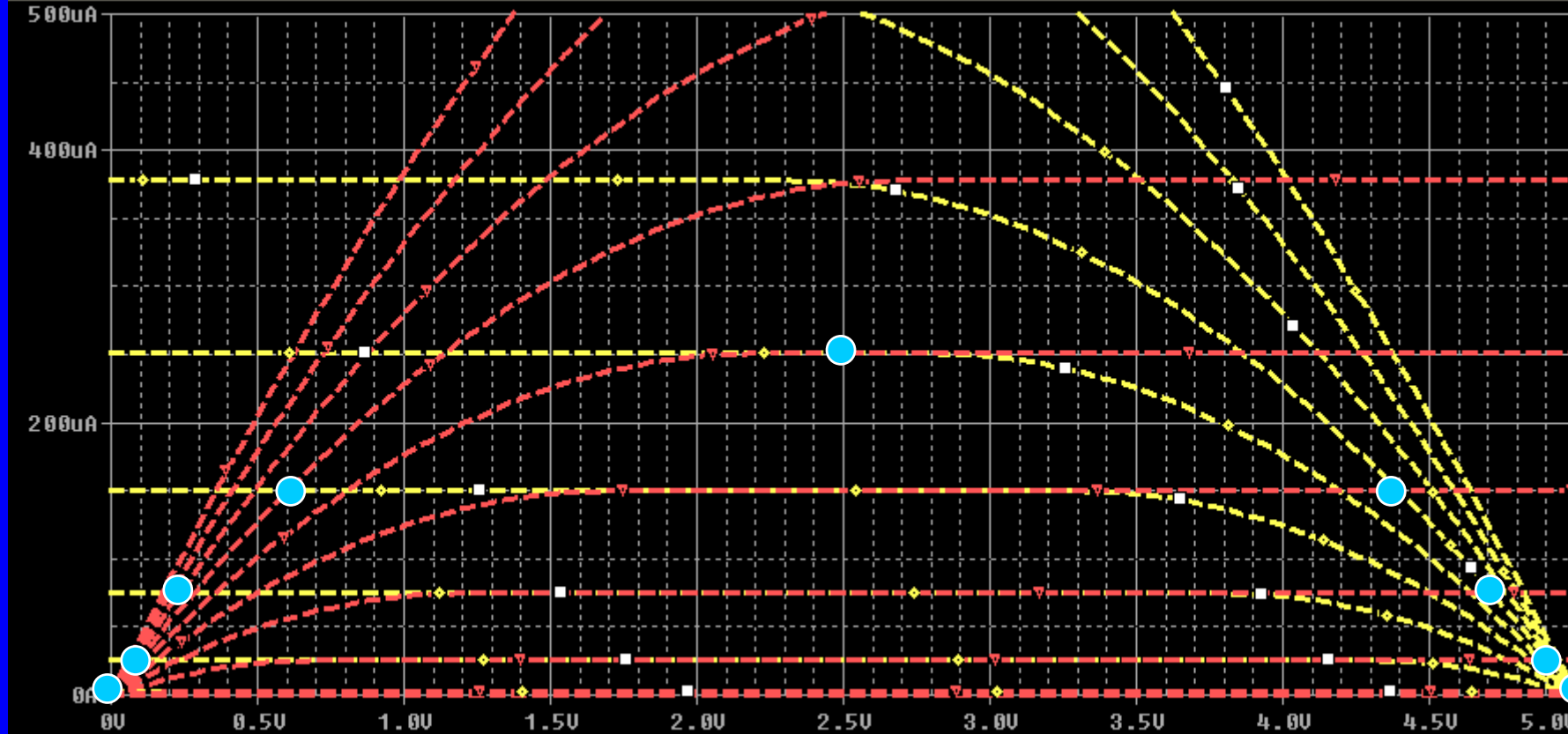


Schéma et layout de l'inverseur

